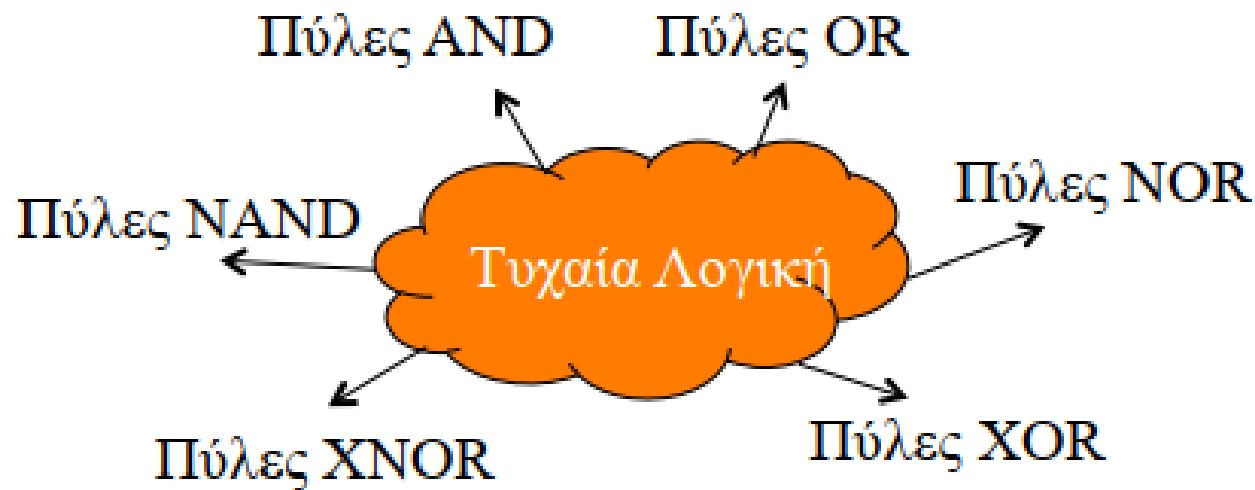


Σύνθετα Συνδυαστικά Κυκλώματα



*Η ολοκληρωμένη
σχεδίαση συνδυαστικών
κυκλωμάτων απαιτεί
τυχαία και σύνθετη
λογική*



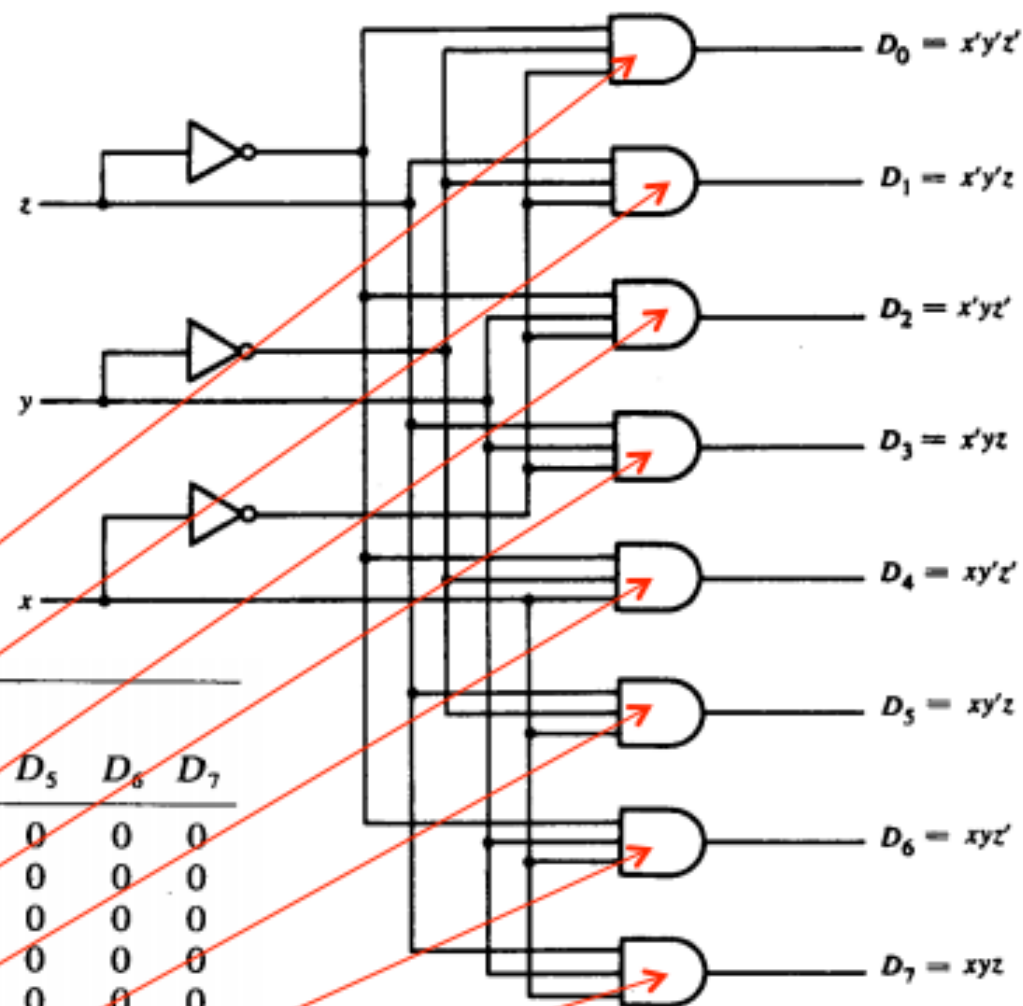
Αποκωδικοποιητής (Decoder)

Αποκωδικοποιητής: κύκλωμα που μετατρέπει τη δυαδική πληροφορία των n γραμμών εισόδου σε έως 2^n μοναδικές γραμμές εξόδου (ελαχιστόροι n μεταβλητών).

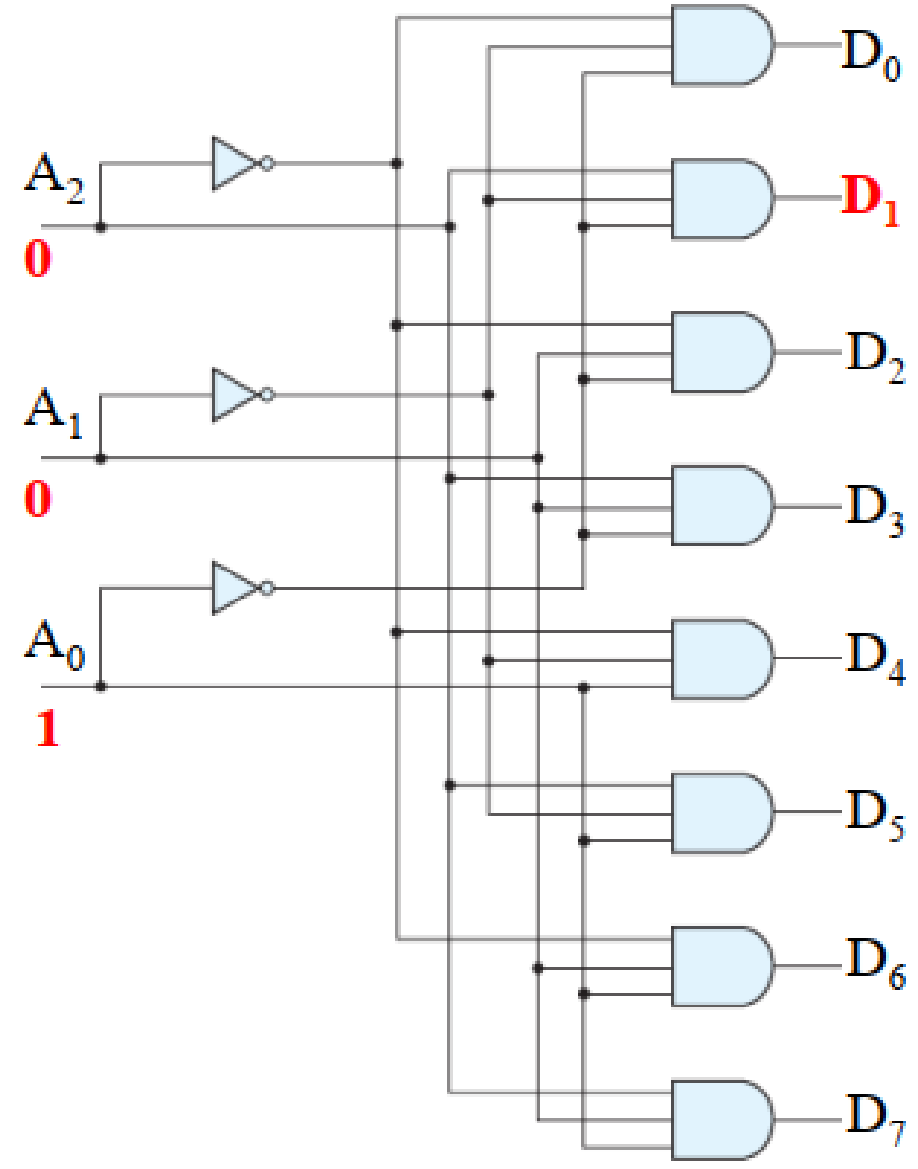
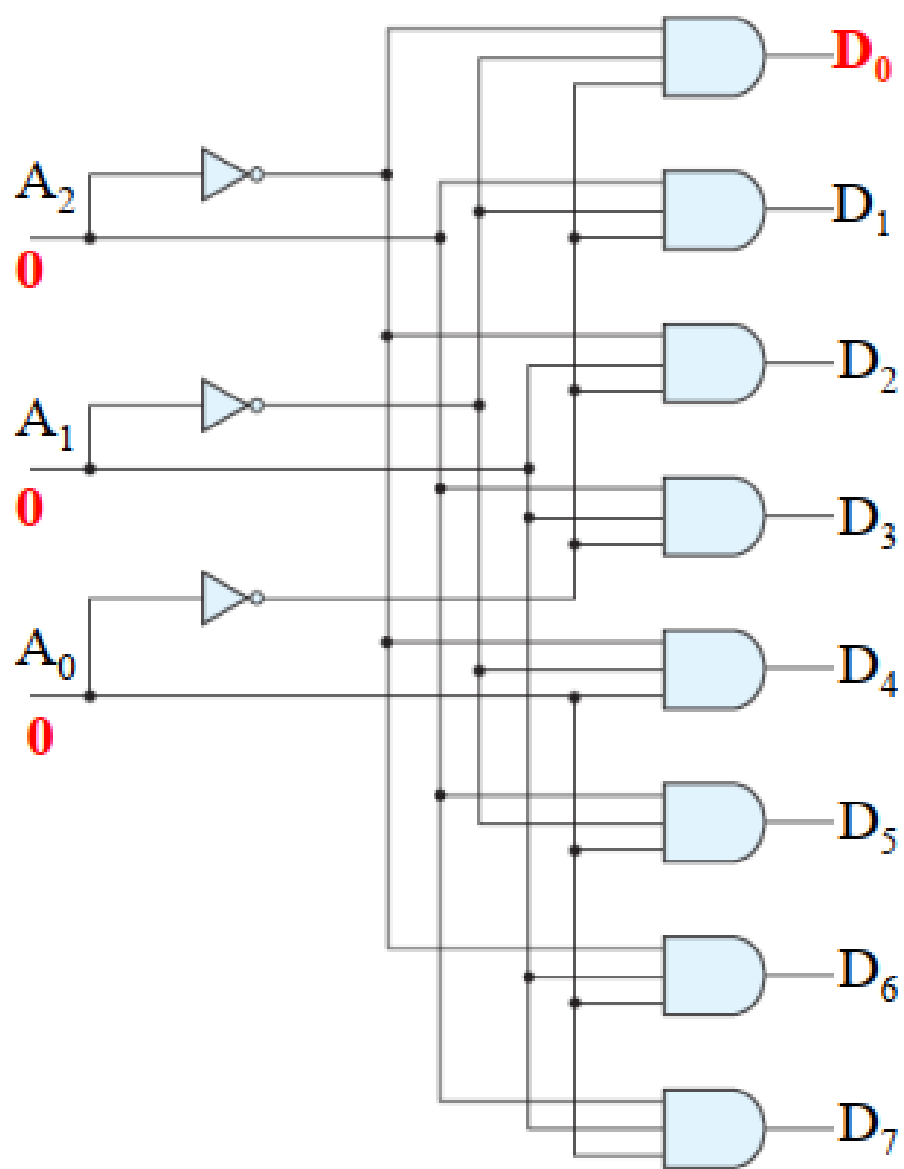
Παράδειγμα:

Αποκωδικοποιητής 3-σε-8

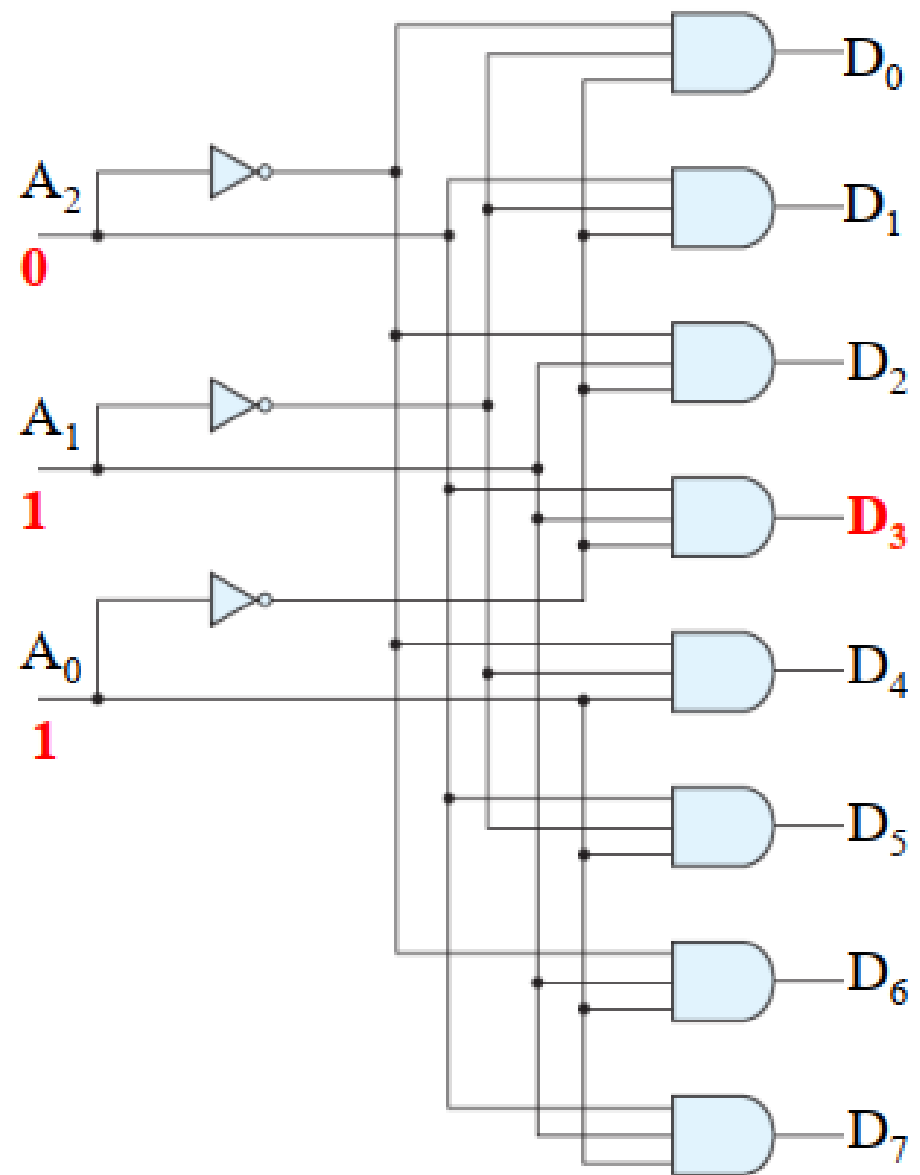
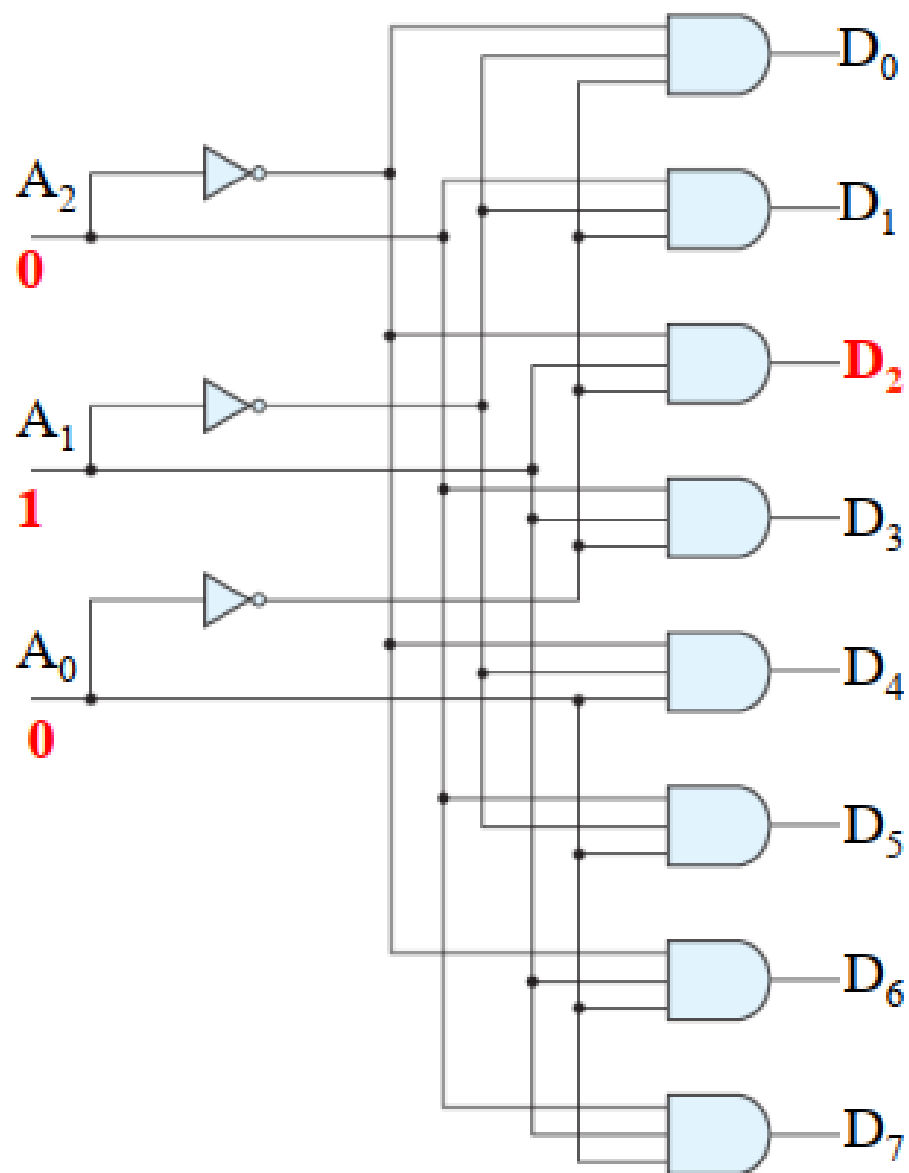
Είσοδοι			Έξοδοι							
x	y	z	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1



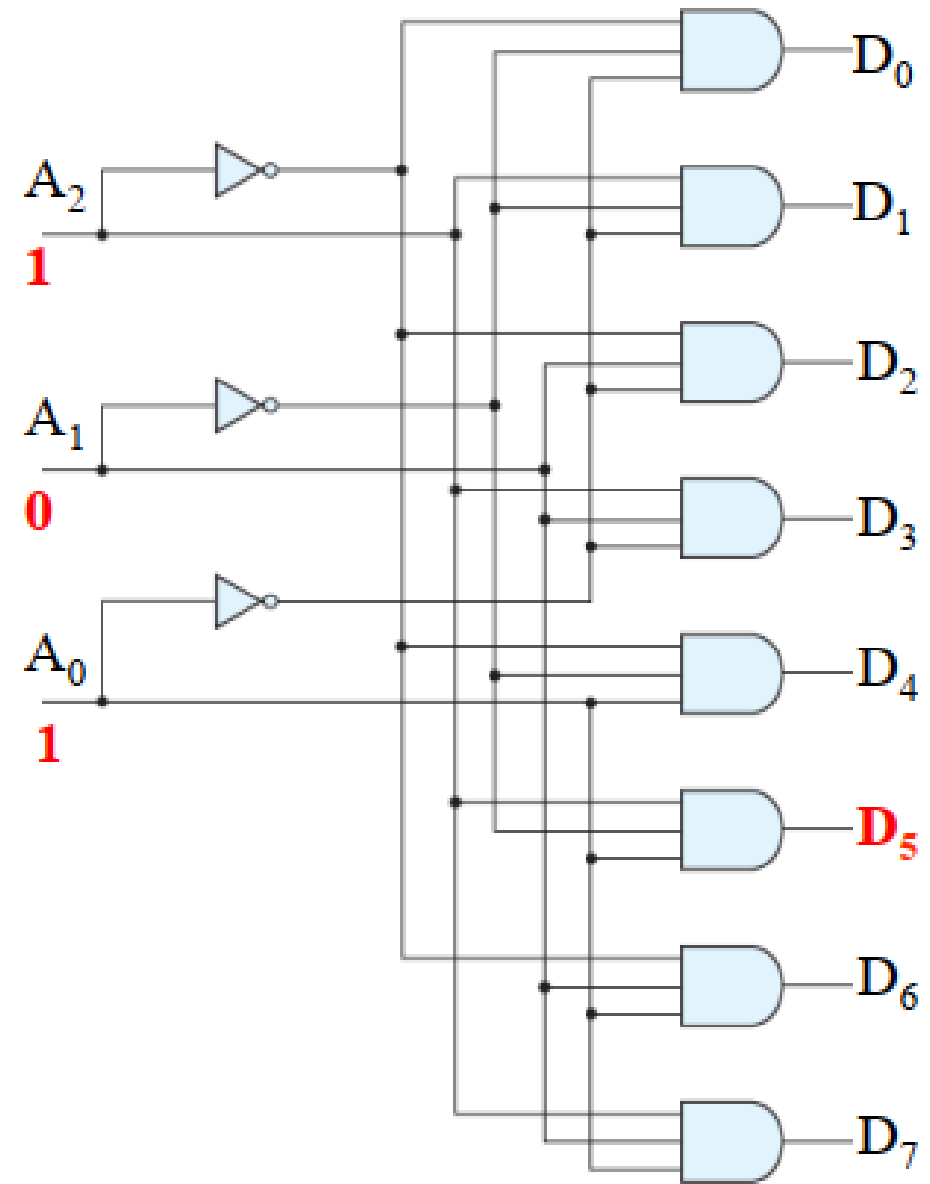
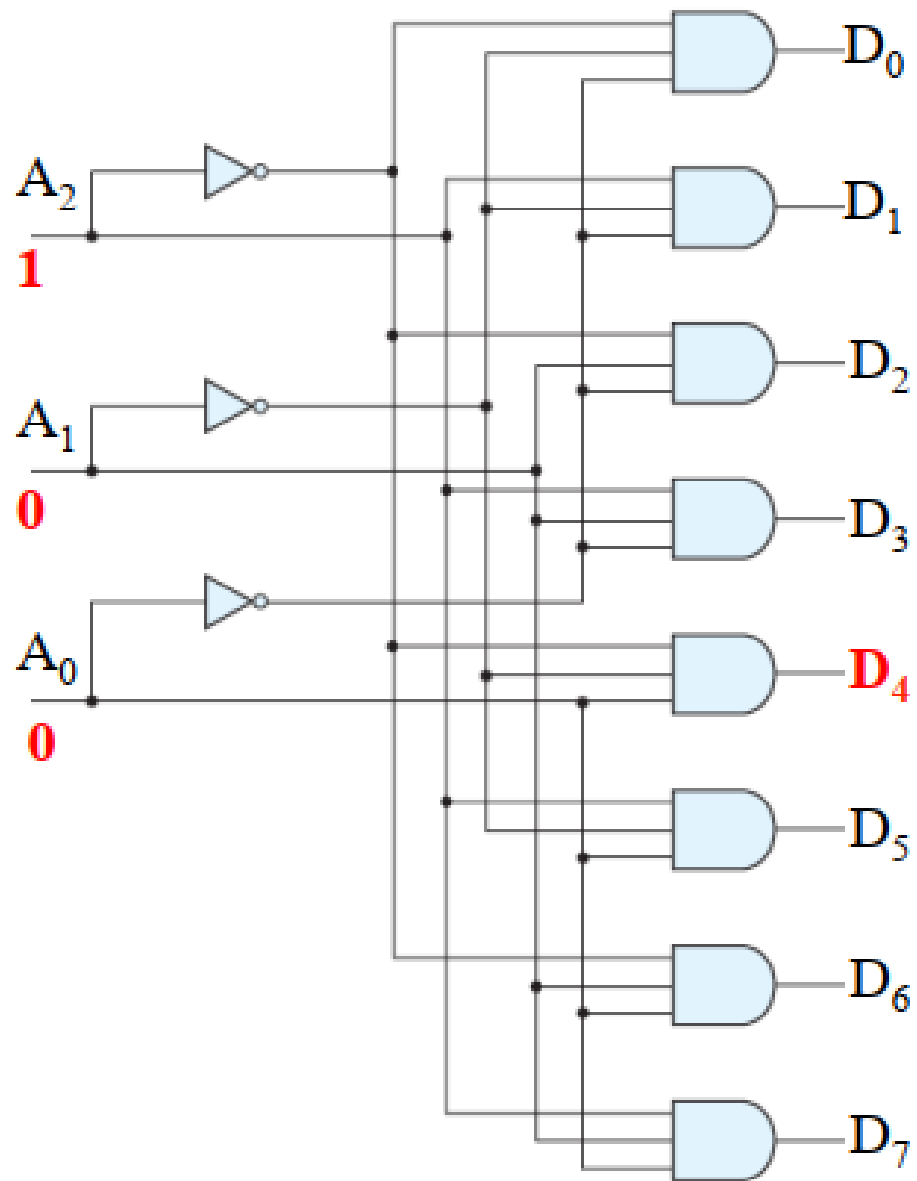
Αποκωδικοποιητές



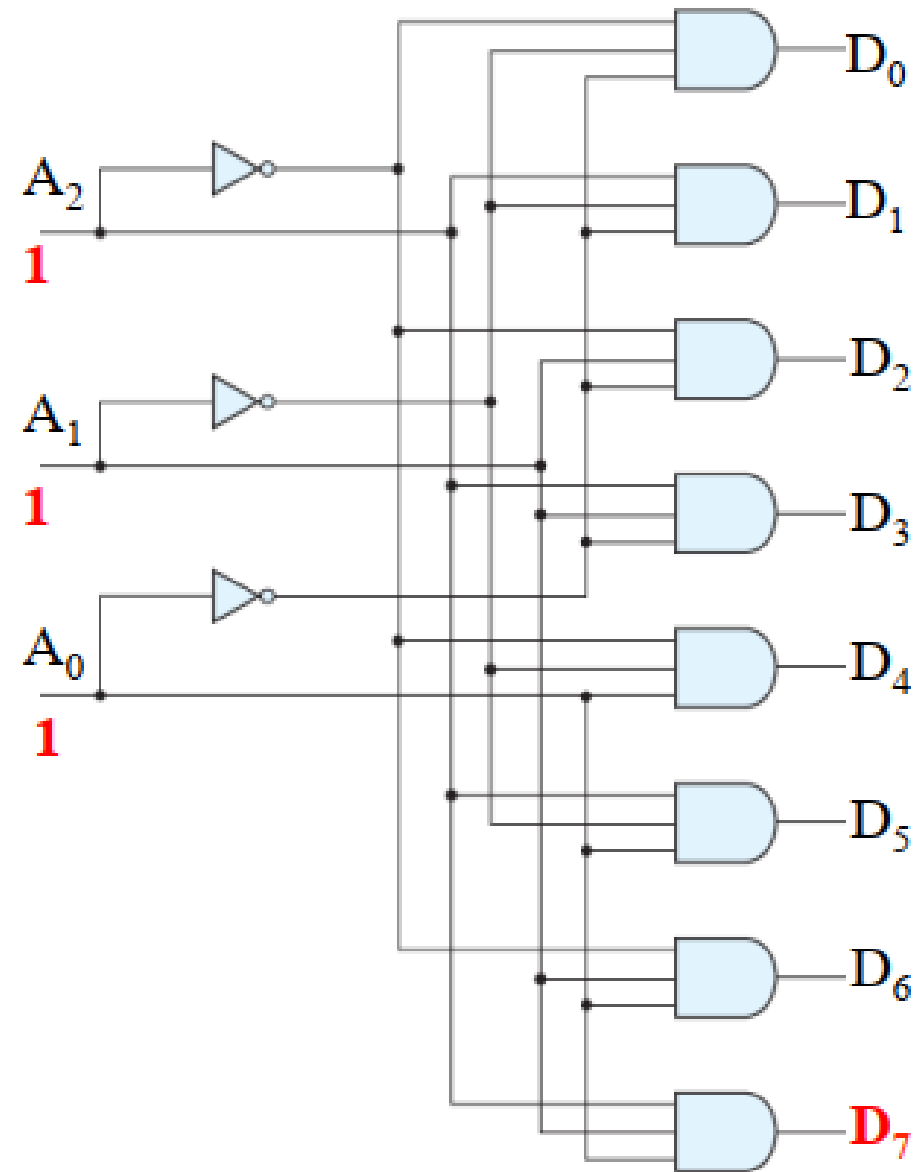
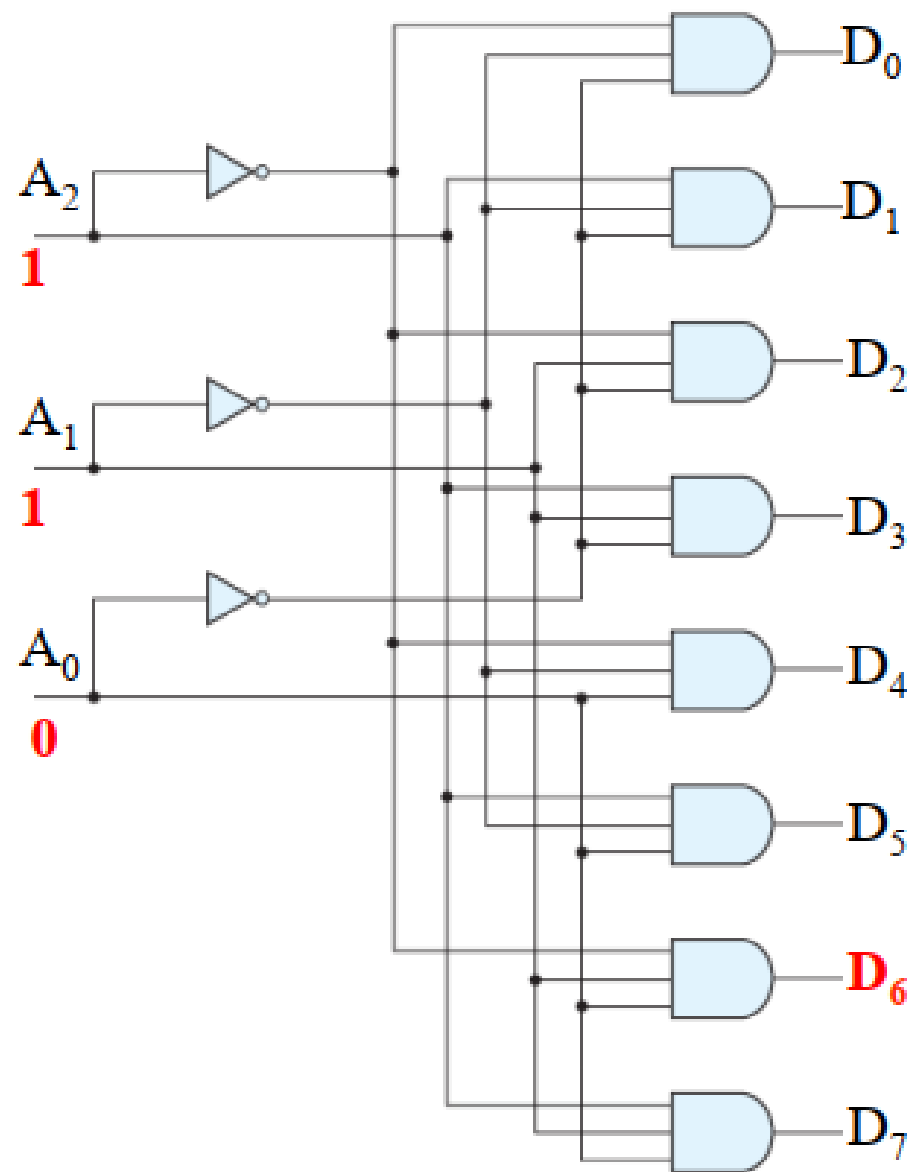
Αποκωδικοποιητές



Αποκωδικοποιητές



Αποκωδικοποιητές



Υλοποίηση Συνδυαστικής Λογικής

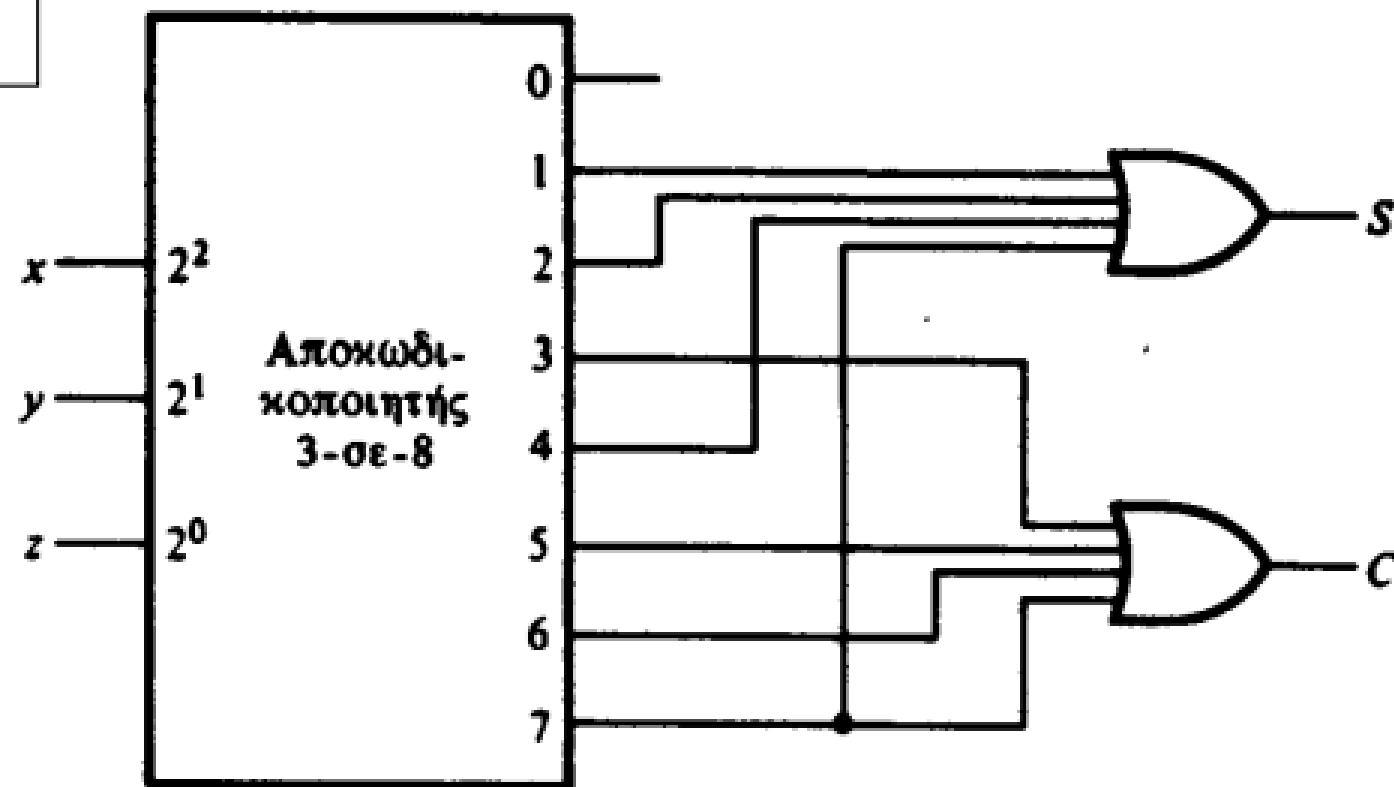
- Αφού ο αποκωδικοποιητής παράγει τους 2^n ελαχιστόρους μπορεί να χρησιμοποιηθεί για να υλοποιήσει οποιαδήποτε συνάρτηση.
 - Κάθε συνδυαστικό κύκλωμα με n εισόδους και m εξόδους μπορεί να υλοποιηθεί με έναν αποκωδικοποιητή n -σε- 2^n γραμμών και m πύλες Η.
 - Εάν ο αριθμός των ελαχιστόρων μιας συνάρτησης είναι μεγαλύτερος από τους μισούς ($2^n/2$), τότε μπορούμε να χρησιμοποιήσουμε μία πύλη ΟΥΤΕ για να αθροίσουμε τους ελαχιστόρους της F' . Η έξοδος της πύλης ΟΥΤΕ δίνει τη συνάρτηση F .
-

Παράδειγμα

Υλοποίηση πλήρους αθροιστή με αποκωδικοποιητή.

$$S(x,y,z) = \Sigma(1,2,4,7)$$

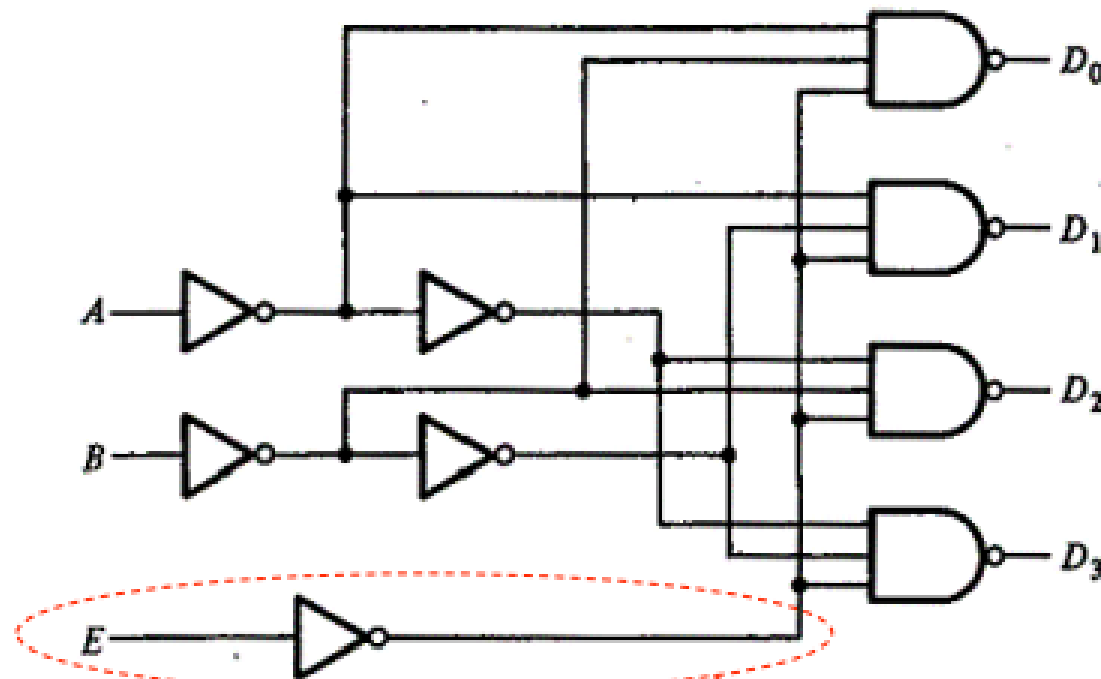
$$C(x,y,z) = \Sigma(3,5,6,7)$$



Αποκωδικοποιητής με Είσοδο Επίτρεψης

Ο αποκωδικοποιητής μπορεί να παράγει συμπληρωματικές εξόδους.

Ο αποκωδικοποιητής μπορεί να έχει είσοδο επίτρεψης.



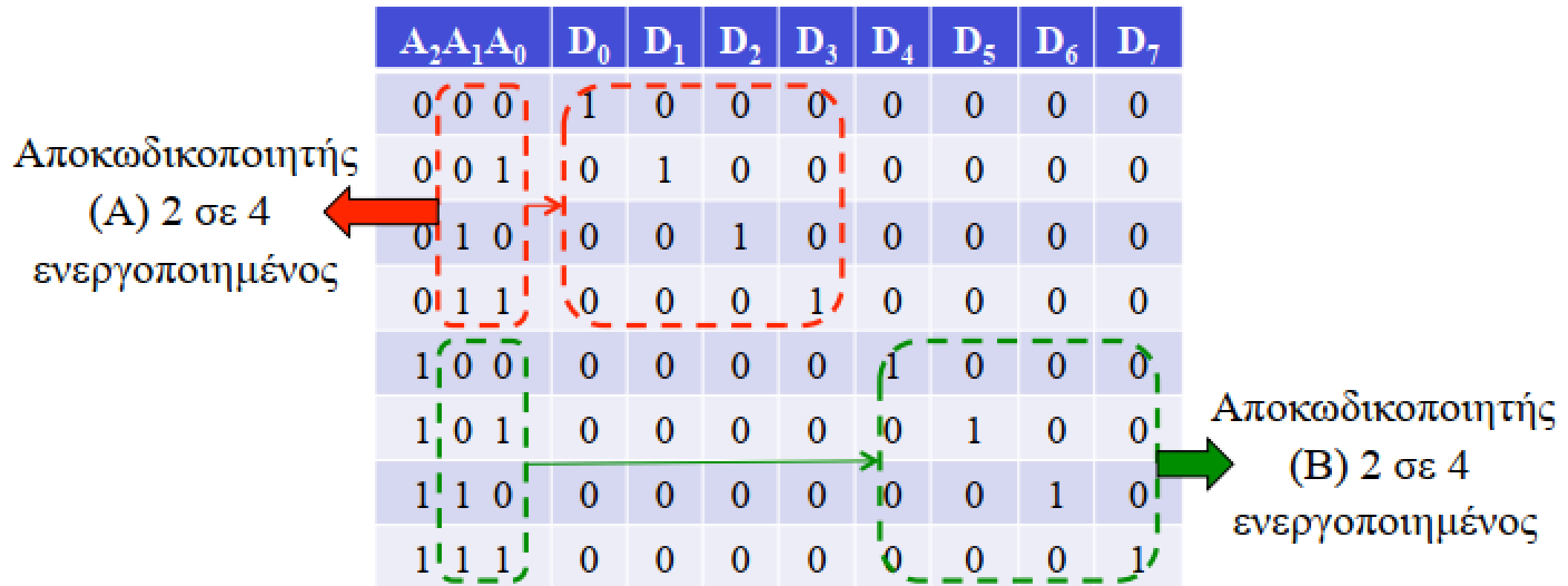
(α) Λογικό διάγραμμα

E	A	B	D_0	D_1	D_2	D_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

(β) Πίνακας αληθείας

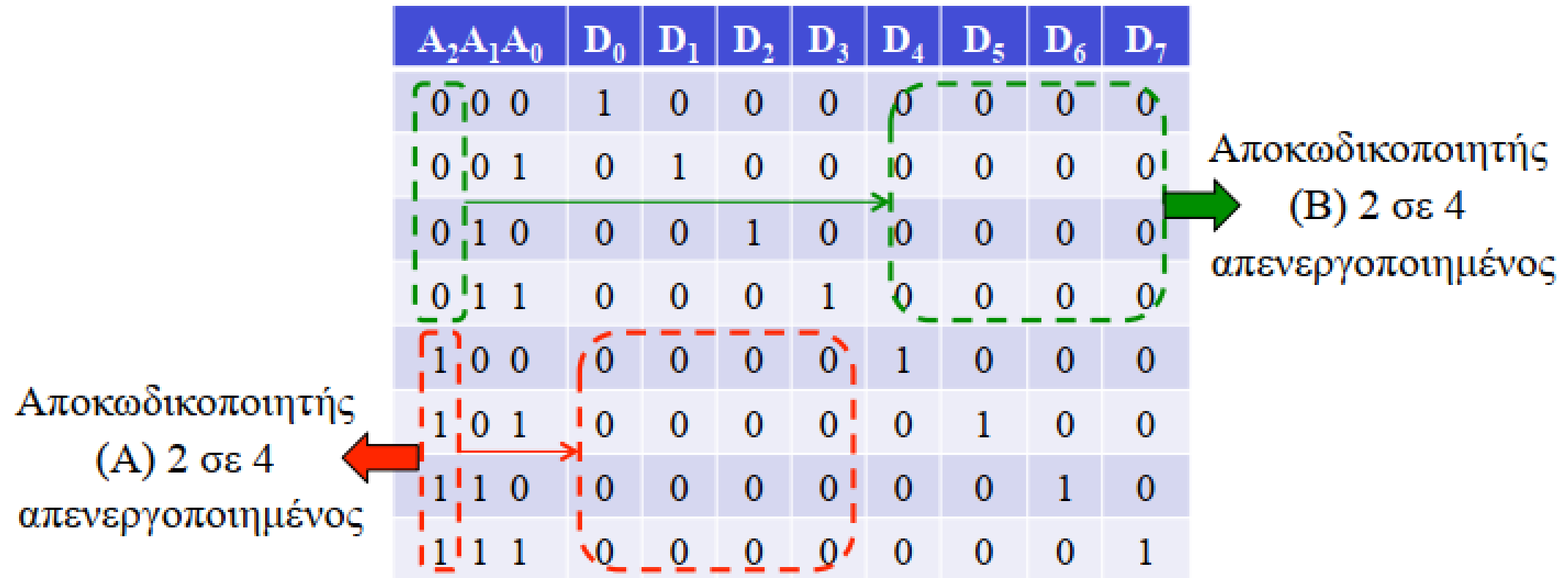
Χρησιμοποιείται για λόγους επέκτασης

Αποκωδικοποιητής 3 σε 8 από δύο 2 σε 4



Η επιλογή της εξόδου γίνεται και στους δύο αποκωδικοποιητές με τις εισόδους A_1A_0 .

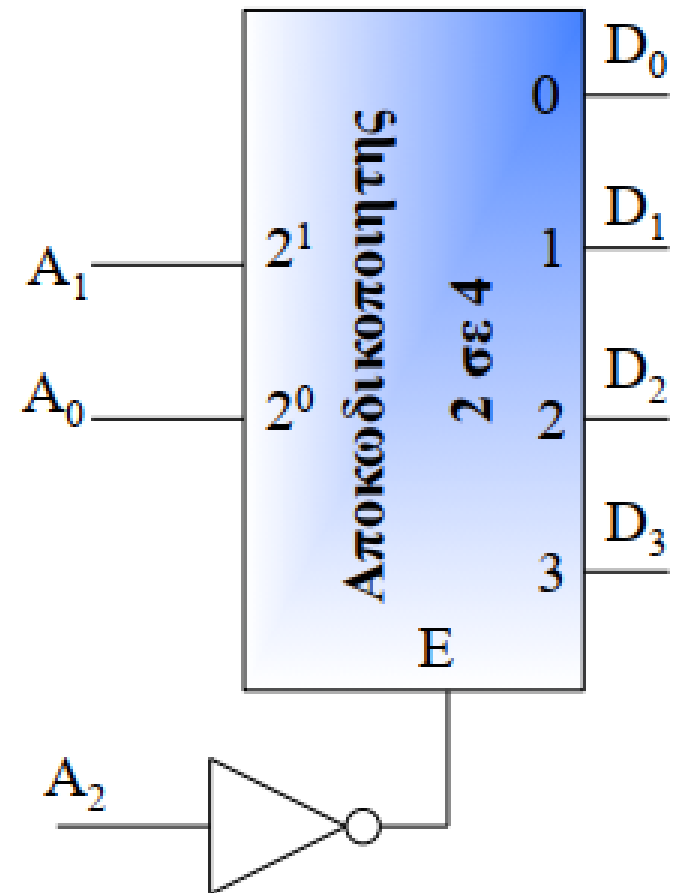
Αποκωδικοποιητής 3 σε 8 από δύο 2 σε 4



Η είσοδος A_2 ενεργοποιεί τον έναν από τους δύο αποκωδικοποιητές.

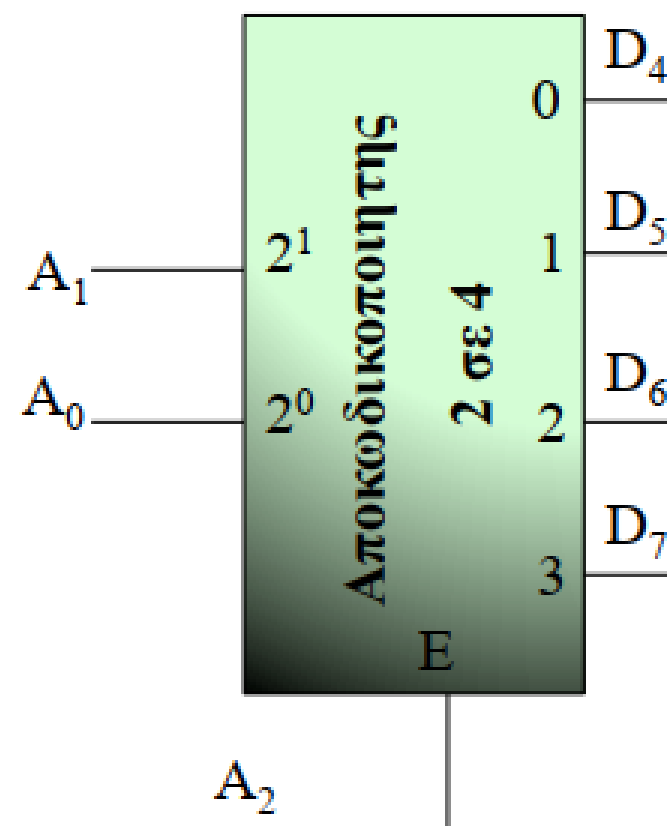
Αποκωδικοποιητής Α

$A_2A_1A_0$	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0 0 0	1	0	0	0	0	0	0	0
0 0 1	0	1	0	0	0	0	0	0
0 1 0	0	0	1	0	0	0	0	0
0 1 1	0	0	0	1	0	0	0	0
1 0 0	0	0	0	0	1	0	0	0
1 0 1	0	0	0	0	0	1	0	0
1 1 0	0	0	0	0	0	0	1	0
1 1 1	0	0	0	0	0	0	0	1

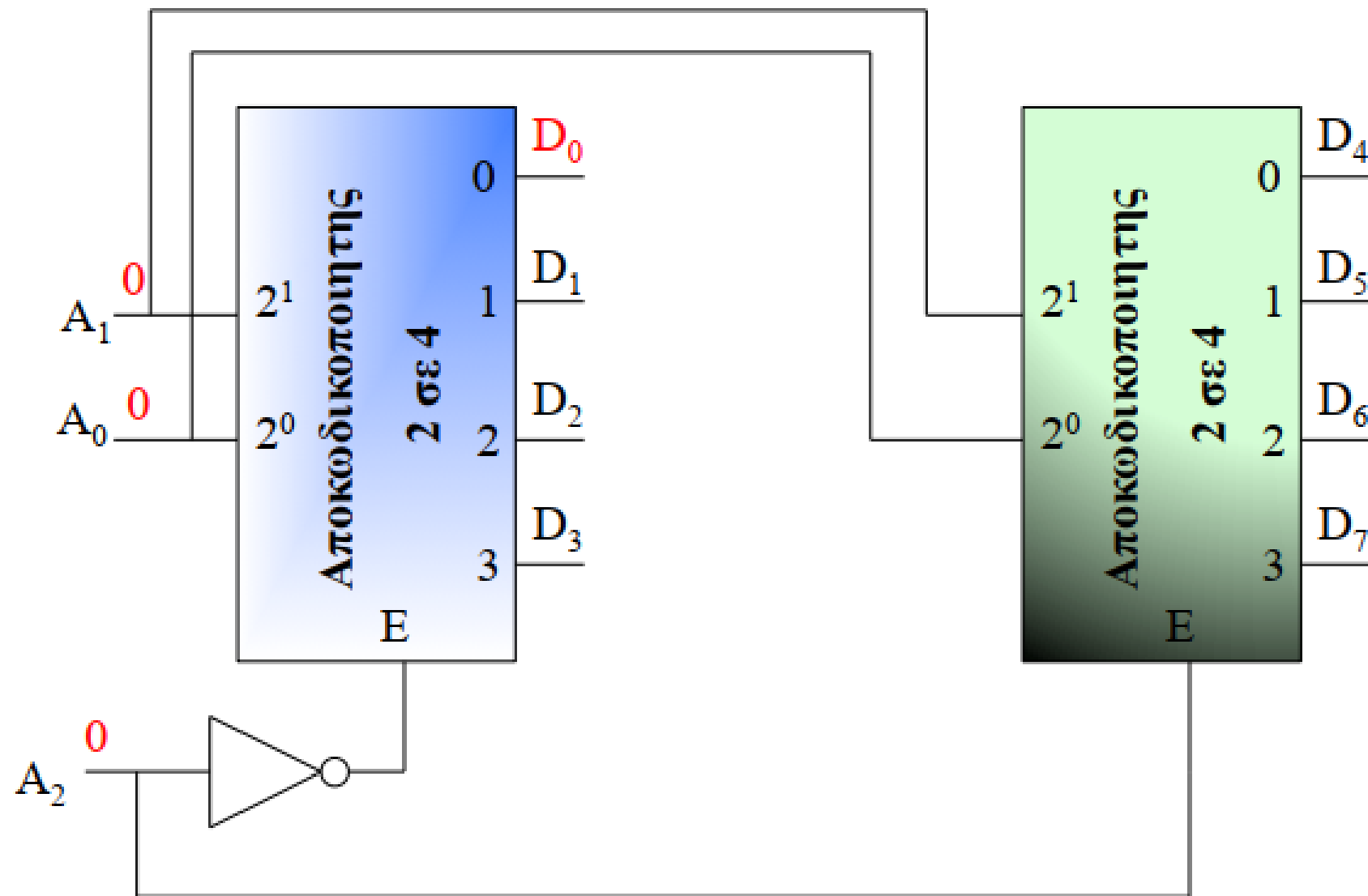


Αποκωδικοποιητής B

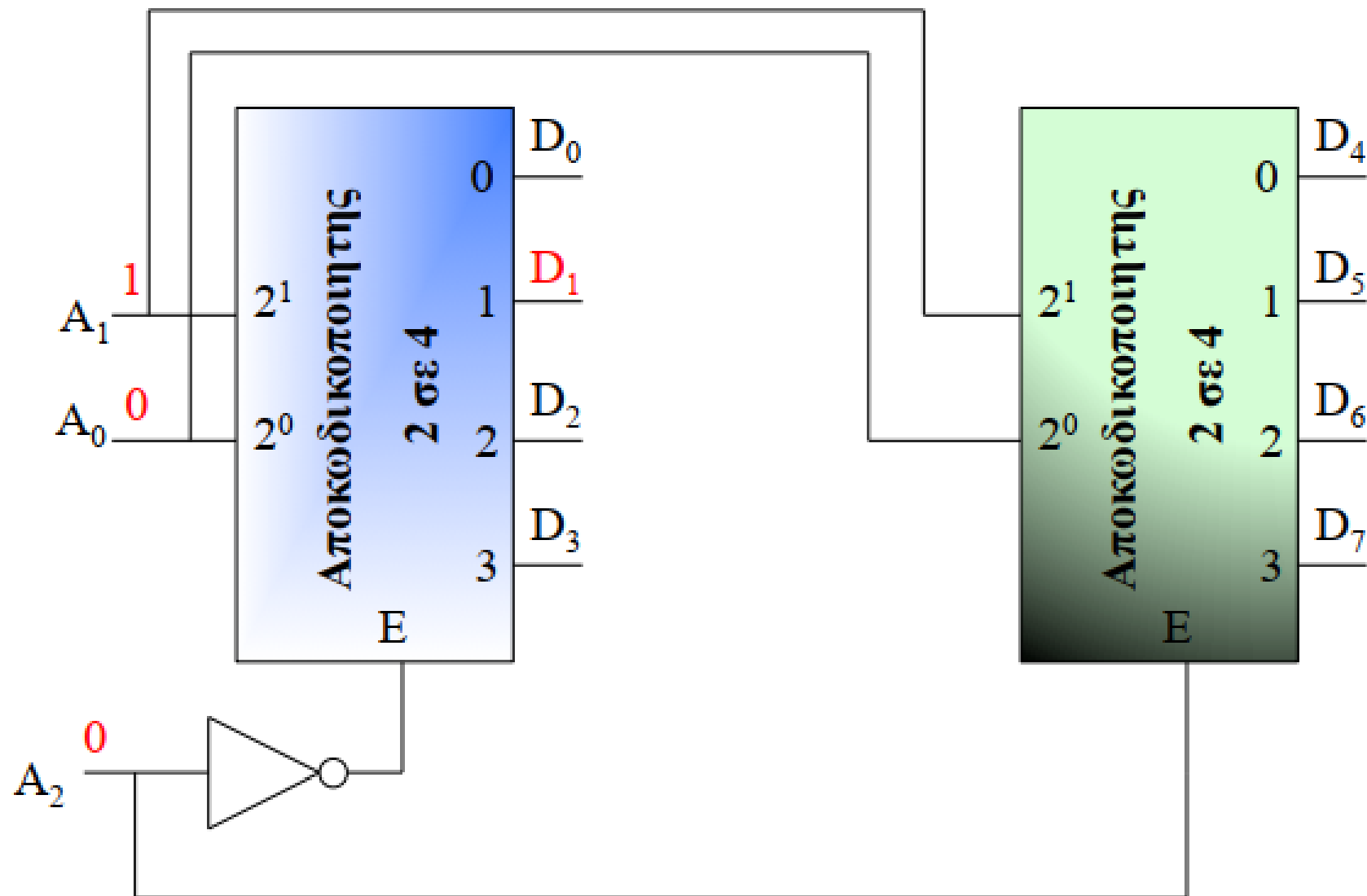
$A_2A_1A_0$	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0 0 0	1	0	0	0	0	0	0	0
0 0 1	0	1	0	0	0	0	0	0
0 1 0	0	0	1	0	0	0	0	0
0 1 1	0	0	0	1	0	0	0	0
1 0 0	0	0	0	0	1	0	0	0
1 0 1	0	0	0	0	0	1	0	0
1 1 0	0	0	0	0	0	0	1	0
1 1 1	0	0	0	0	0	0	0	1



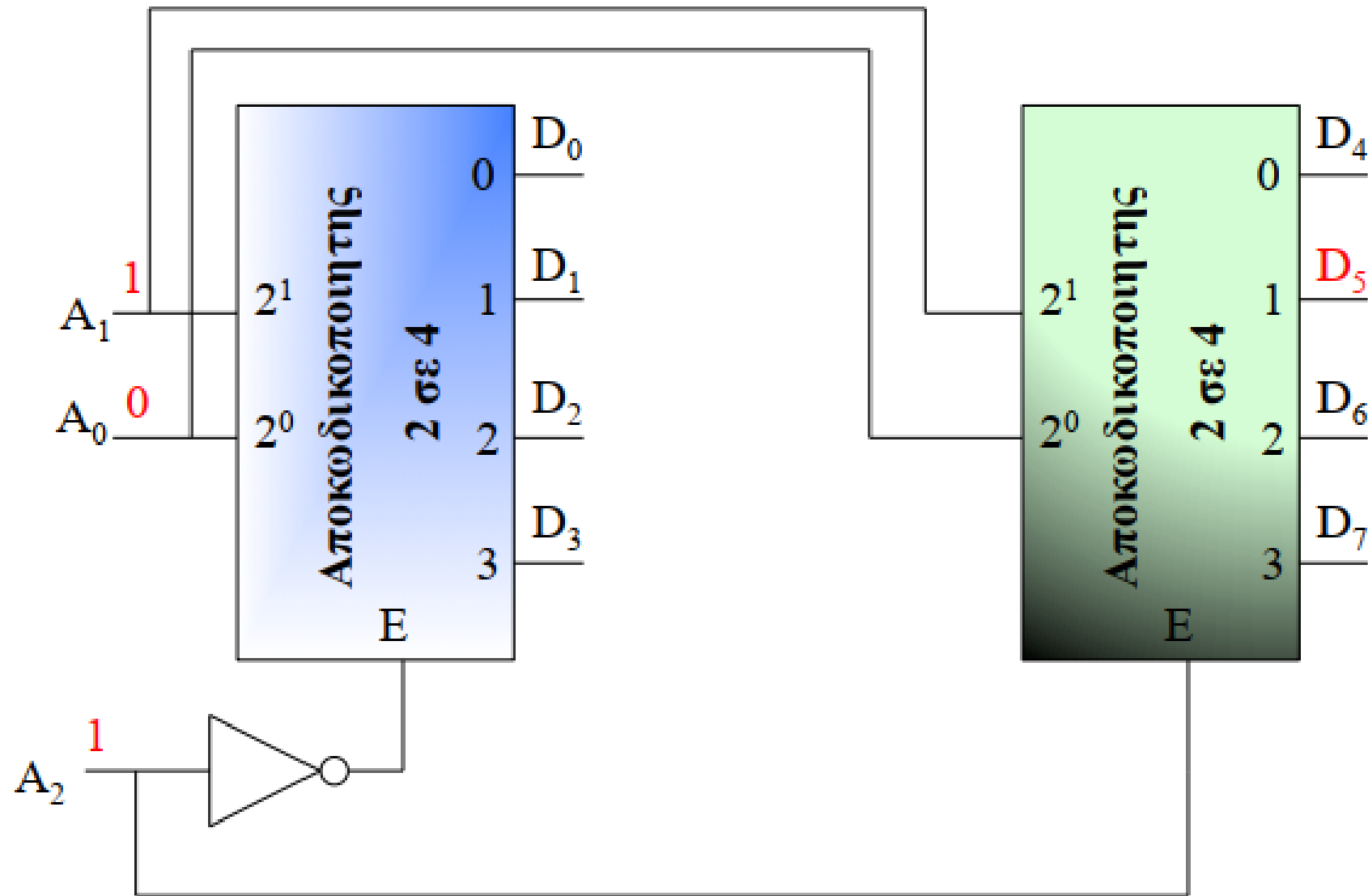
Αποκωδικοποιητής 3 σε 8



Αποκωδικοποιητής 3 σε 8

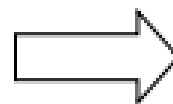


Αποκωδικοποιητής 3 σε 8

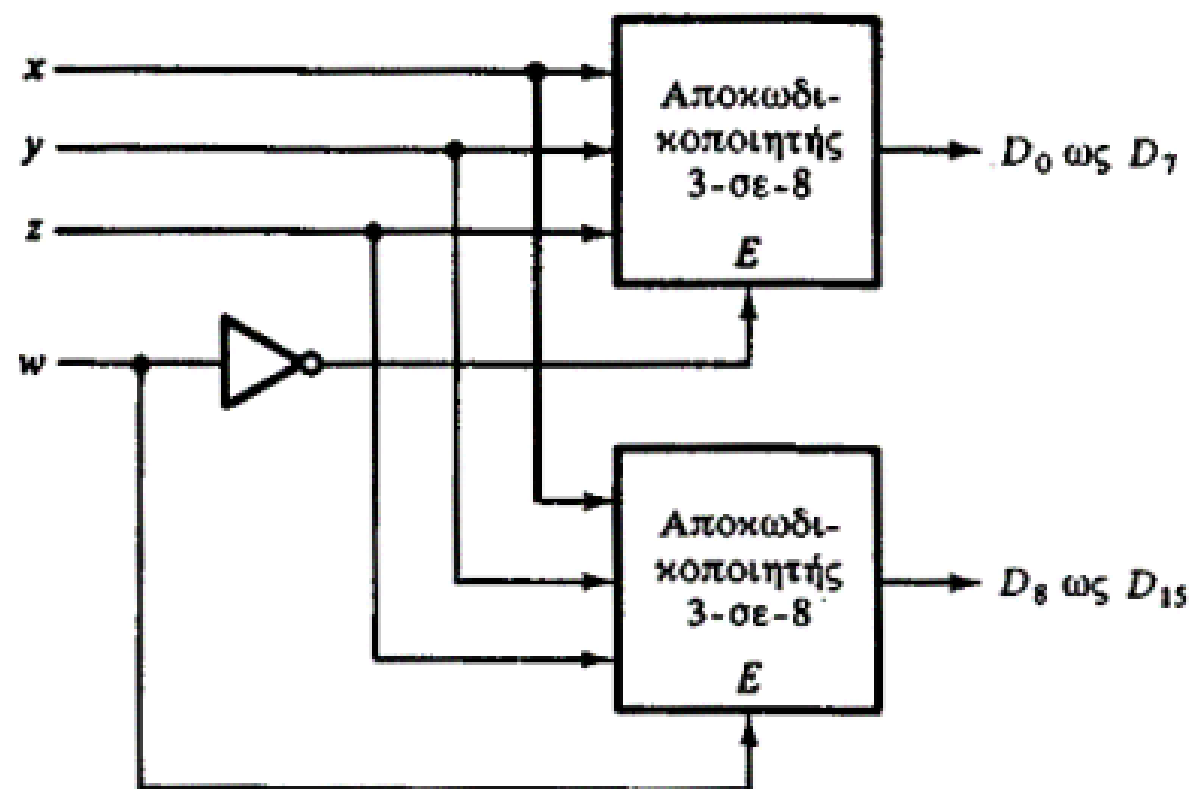


Αποκωδικοποιητής/Αποπλέκτης

Επέκταση αποκωδικοποιητή με
χρήση πολλών αποκωδικοποιητών

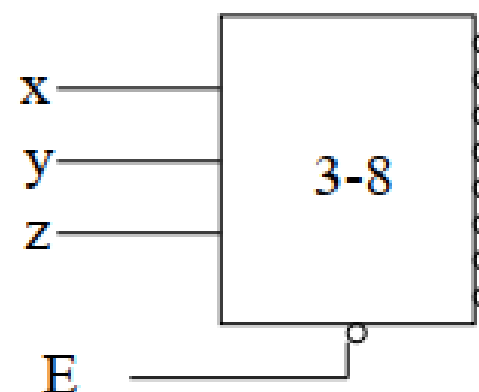


2 αποκωδικοποιητές 3 σε 8
δίνουν
1 αποκωδικοποιητή 4 σε 16



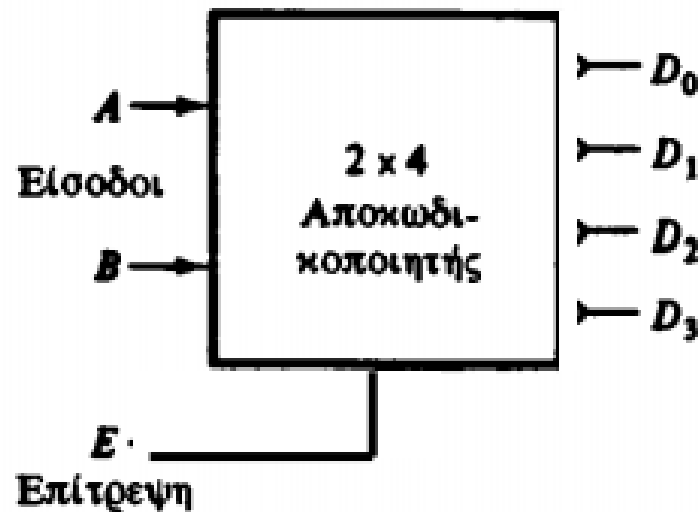
Συμβολισμοί:

Το κυκλάκι δείχνει σε ποια
τιμή μία είσοδος/έξοδος είναι
ενεργή.

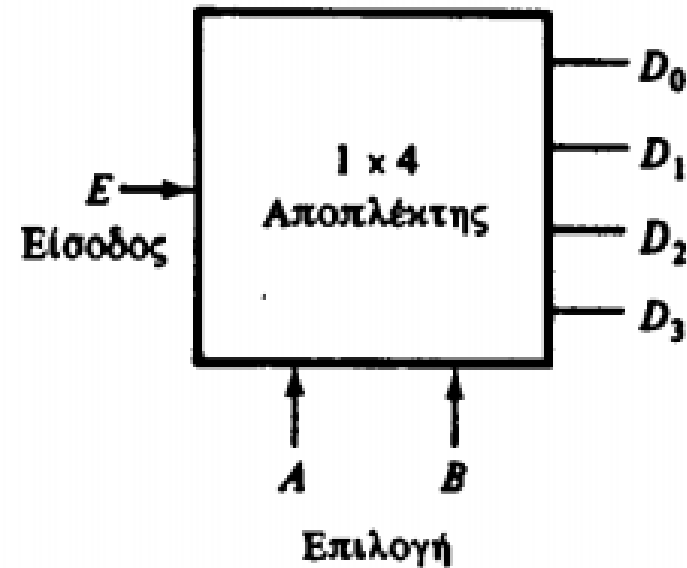


Αποπλέκτης (Demultiplexer)

Ο αποπλέκτης δέχεται πληροφορίες από μία απλή γραμμή και τις μεταβιβάζει σε μία από τις 2^n δυνατές γραμμές εξόδου ανάλογα με τις τιμές των n γραμμών επιλογής.



(α) Αποκωδικοποιητής με επίτρεψη



(β) Αποπλέκτης

Πίνακας 1 Πίνακας Αληθείας του Αποκωδικοποιητή 3x8 (Θετικής Λογικής)											Πίνακας 2 Πίνακας Αληθείας του Αποκωδικοποιητή 3x8 (Αρνητικής Λογικής)										
C	B	A	D 0	D 1	D 2	D 3	D 4	D 5	D 6	D 7	C	B	A	D 0	D 1	D 2	D 3	D 4	D 5	D 6	D 7
0	0	0	<u>1</u>	0	0	0	0	0	0	0	0	0	0	<u>0</u>	1	1	1	1	1	1	1
0	0	1	0	<u>1</u>	0	0	0	0	0	0	0	0	1	1	<u>0</u>	1	1	1	1	1	1
0	1	0	0	0	<u>1</u>	0	0	0	0	0	0	1	0	1	1	<u>0</u>	1	1	1	1	1
0	1	1	0	0	0	<u>1</u>	0	0	0	0	0	0	1	1	1	1	<u>0</u>	1	1	1	1
1	0	0	0	0	0	0	<u>1</u>	0	0	0	1	0	0	1	1	1	1	<u>0</u>	1	1	1
1	0	1	0	0	0	0	0	<u>1</u>	0	0	1	0	1	1	1	1	1	1	<u>0</u>	1	1
1	1	0	0	0	0	0	0	0	<u>1</u>	0	1	1	0	1	1	1	1	1	1	<u>0</u>	1
1	1	1	0	0	0	0	0	0	0	<u>1</u>	1	1	1	1	1	1	1	1	1	1	<u>0</u>

Λογικές Εξισώσεις Αποκωδικοποιητή 3x8 (Θετικής Λογικής)	Λογικές Εξισώσεις Αποκωδικοποιητή 3x8 (Αρνητικής Λογικής)
$D0 = \bar{C} \cdot \bar{B} \cdot \bar{A}$	$D0 = C + B + A$
$D1 = \bar{C} \cdot \bar{B} \cdot A$	$D1 = C + B + \bar{A}$
$D2 = \bar{C} \cdot B \cdot \bar{A}$	$D2 = C + \bar{B} + A$
$D3 = \bar{C} \cdot B \cdot A$	$D3 = C + \bar{B} + \bar{A}$
$D4 = C \cdot \bar{B} \cdot \bar{A}$	$D4 = \bar{C} + B + A$
$D5 = C \cdot \bar{B} \cdot A$	$D5 = \bar{C} + B + \bar{A}$
$D6 = C \cdot B \cdot \bar{A}$	$D6 = \bar{C} + \bar{B} + A$
$D7 = C \cdot B \cdot A$	$D7 = \bar{C} + \bar{B} + \bar{A}$

Ο αποκωδικοποιητής θετικής λογικής βγάζει τους ελαχιστόρους και υλοποιείται με πύλες (NOT και AND) ή με (NOR).

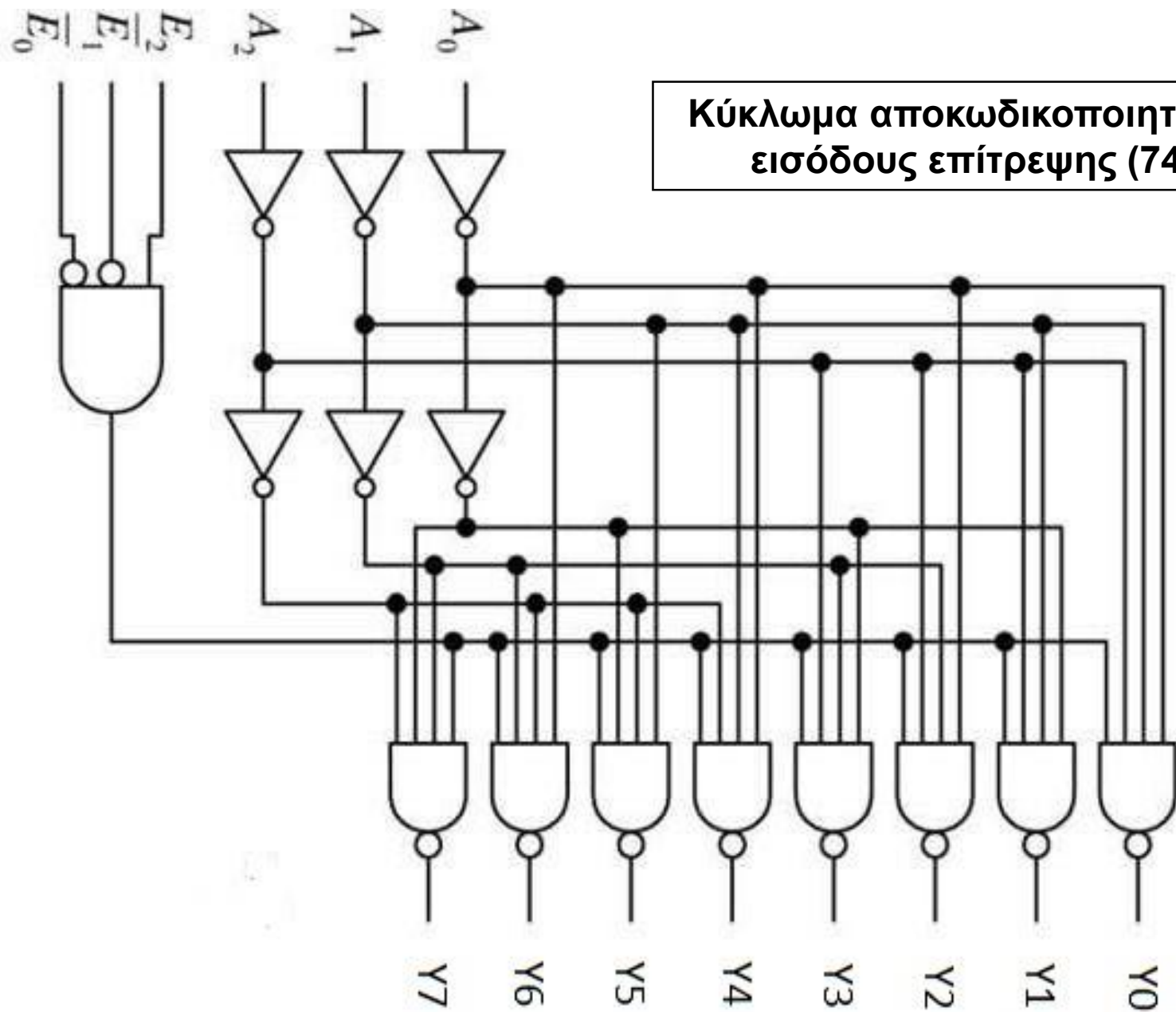
Ο αποκωδικοποιητής αρνητικής λογικής βγάζει τους μεγιστόρους και υλοποιείται με πύλες (NOT και OR) ή με (NAND).



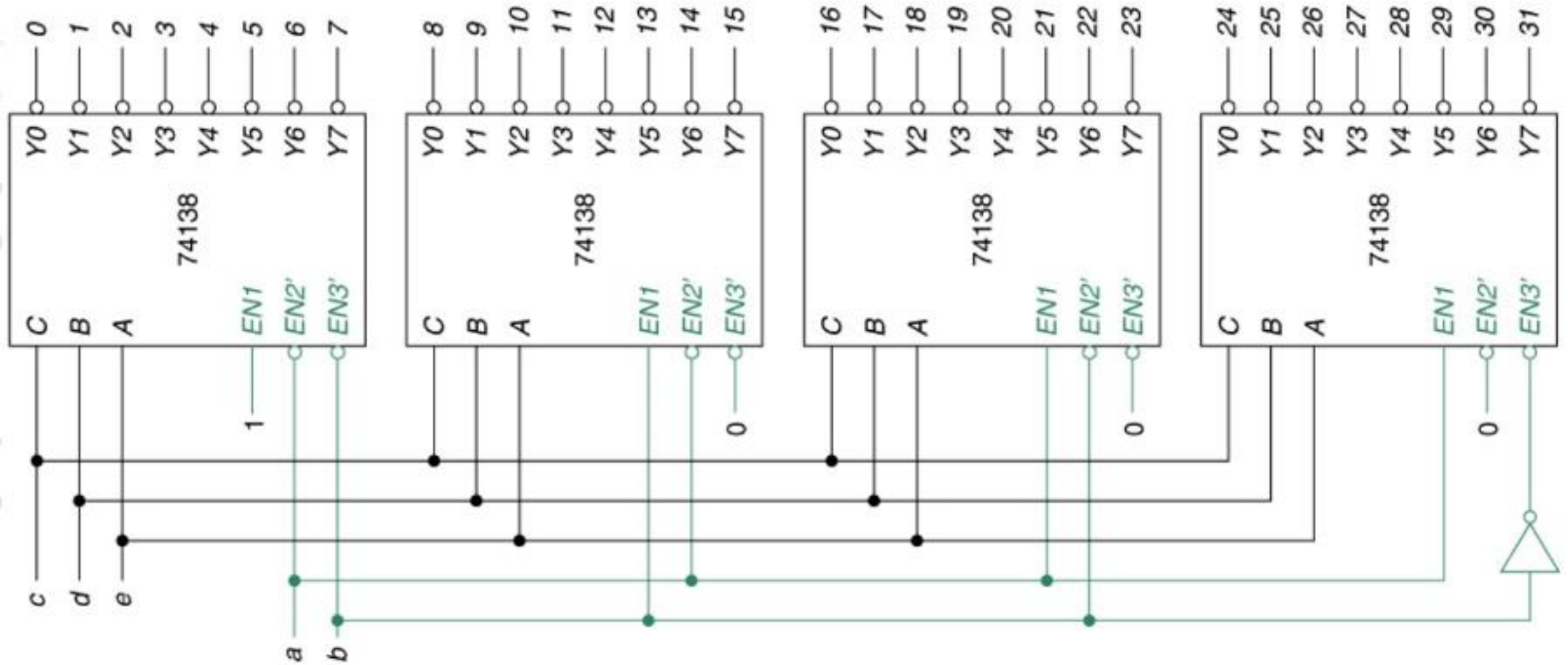
Ολοκληρωμένο Κύκλωμα 74LS138
(Αποκωδικοποιητής 3 σε 8 με εισόδους επίτρεψης)

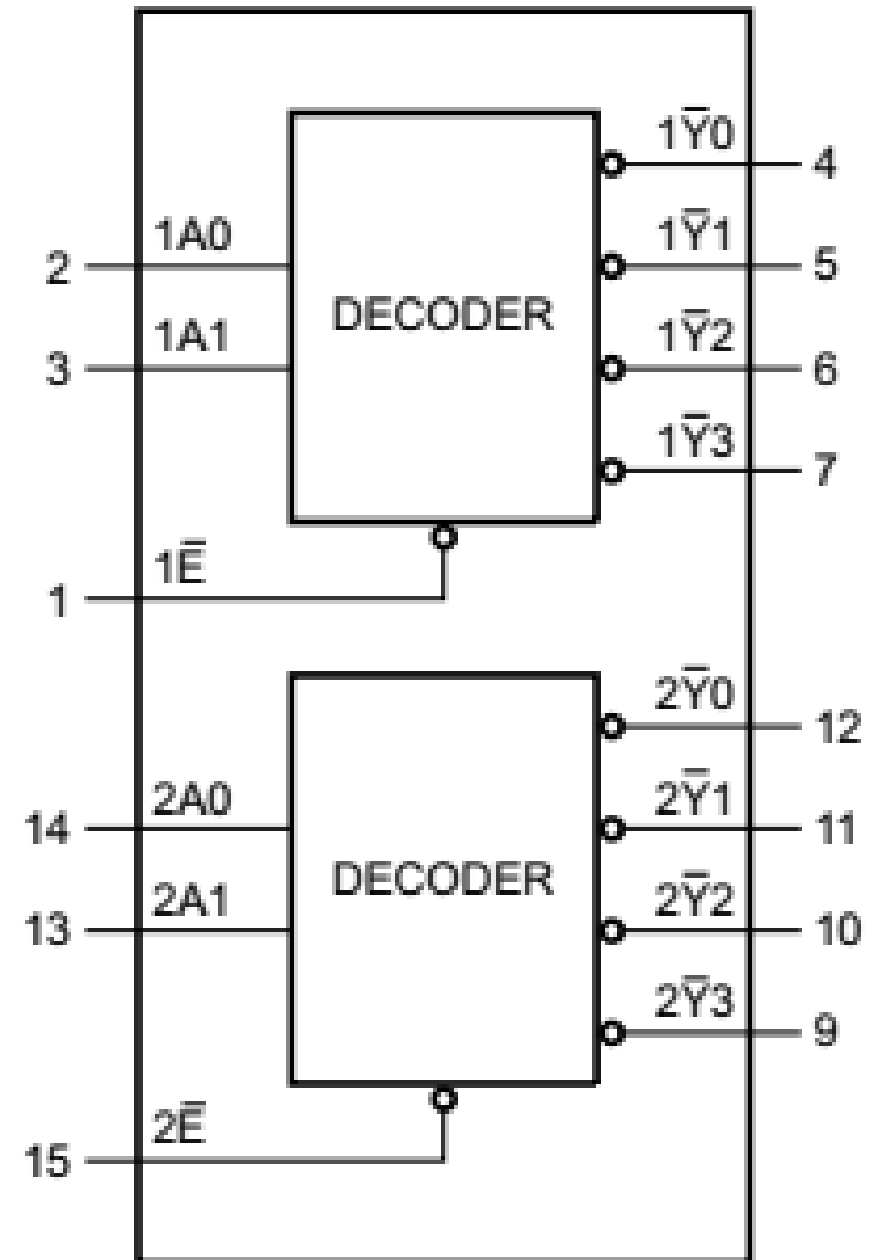
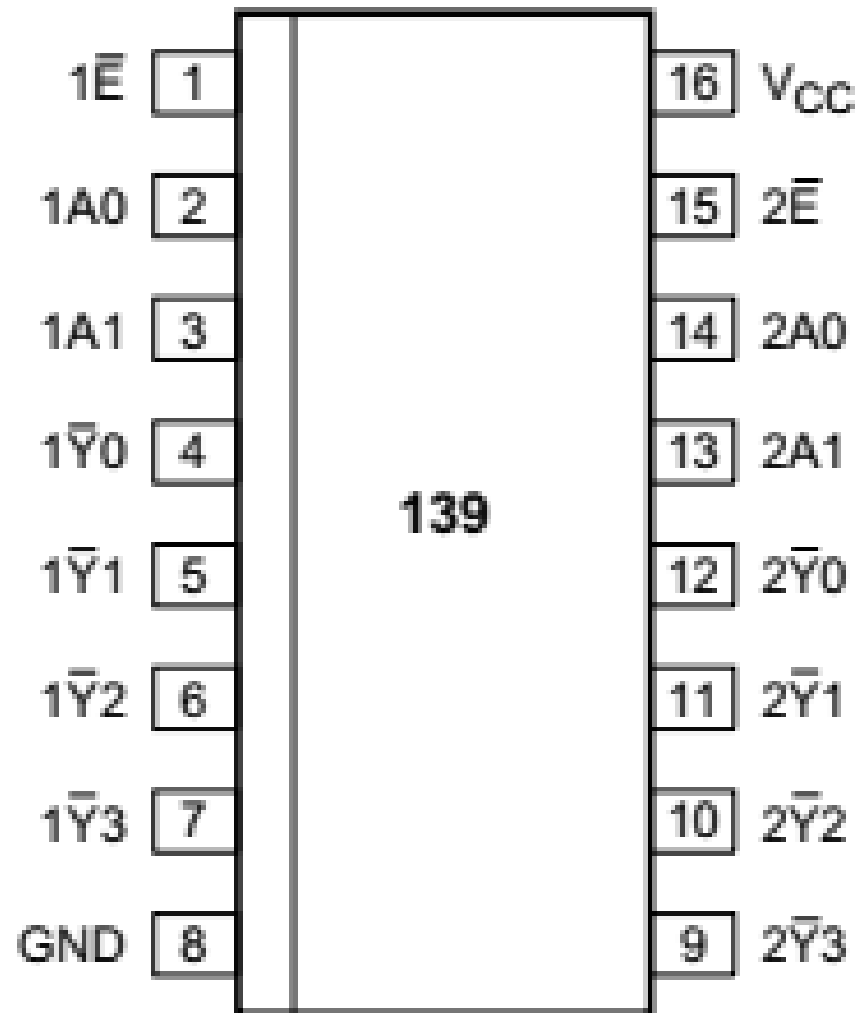
[illegible]

Κύκλωμα αποκωδικοποιητή 3 σε 8 με
εισόδους επίτρεψης (74LS138)



Υλοποίηση αποκωδικοποιητή 5 σε 32 με χρήση 4 αποκωδικοποιητών 3 σε 8 (74LS138)





74HC139 Διπλός 2 σε 4 αποκωδικοποιητής/αποπλέκτης

**ΚΥΚΛΩΜΑ ΚΑΙ
ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ
ΤΟΥ 74HC139**

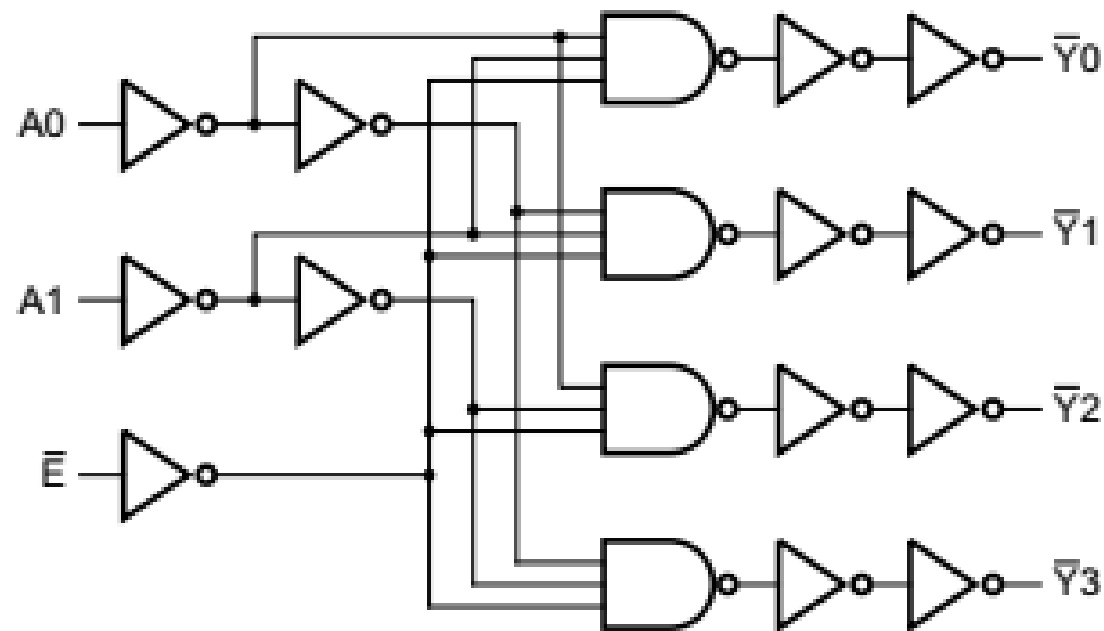
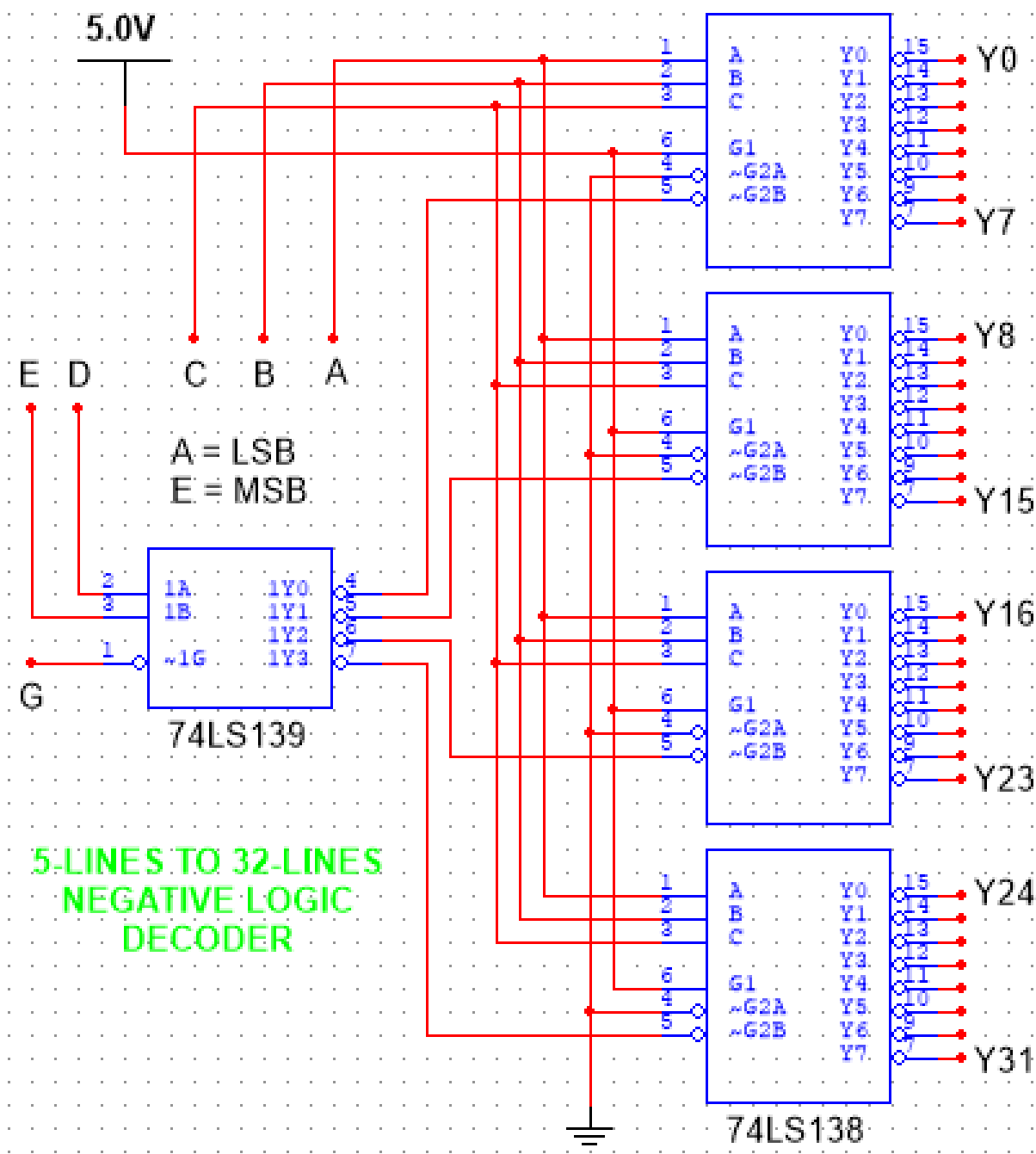


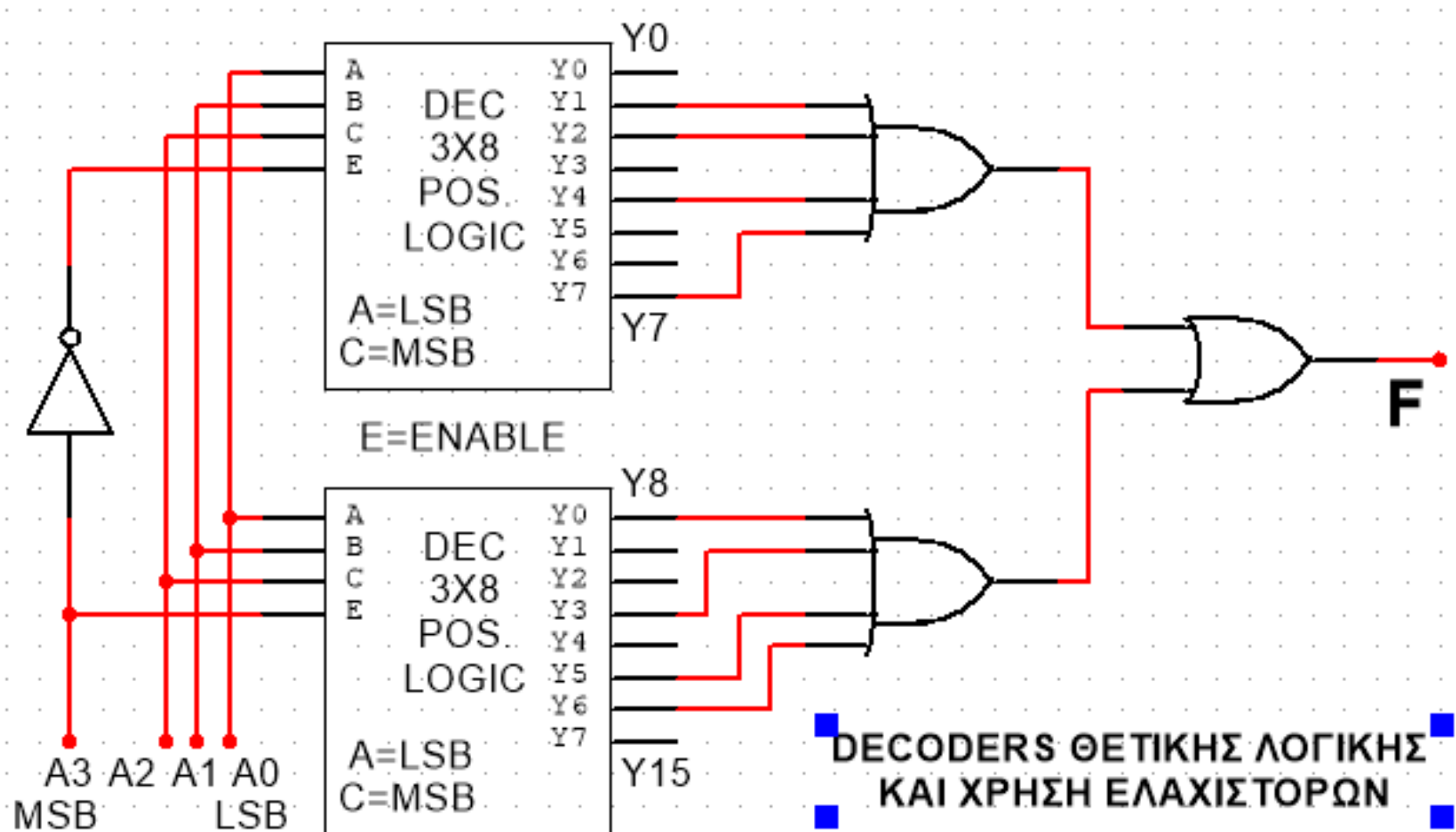
Table 3. Function table^[1]

Control	Input		Output			
\bar{nE}	$nA1$	$nA0$	$\bar{nY3}$	$\bar{nY2}$	$\bar{nY1}$	$\bar{nY0}$
H	X	X	H	H	H	H
L	L	L	H	H	H	L
L	L	H	H	H	L	H
L	H	L	H	L	H	H
L	H	H	L	H	H	H



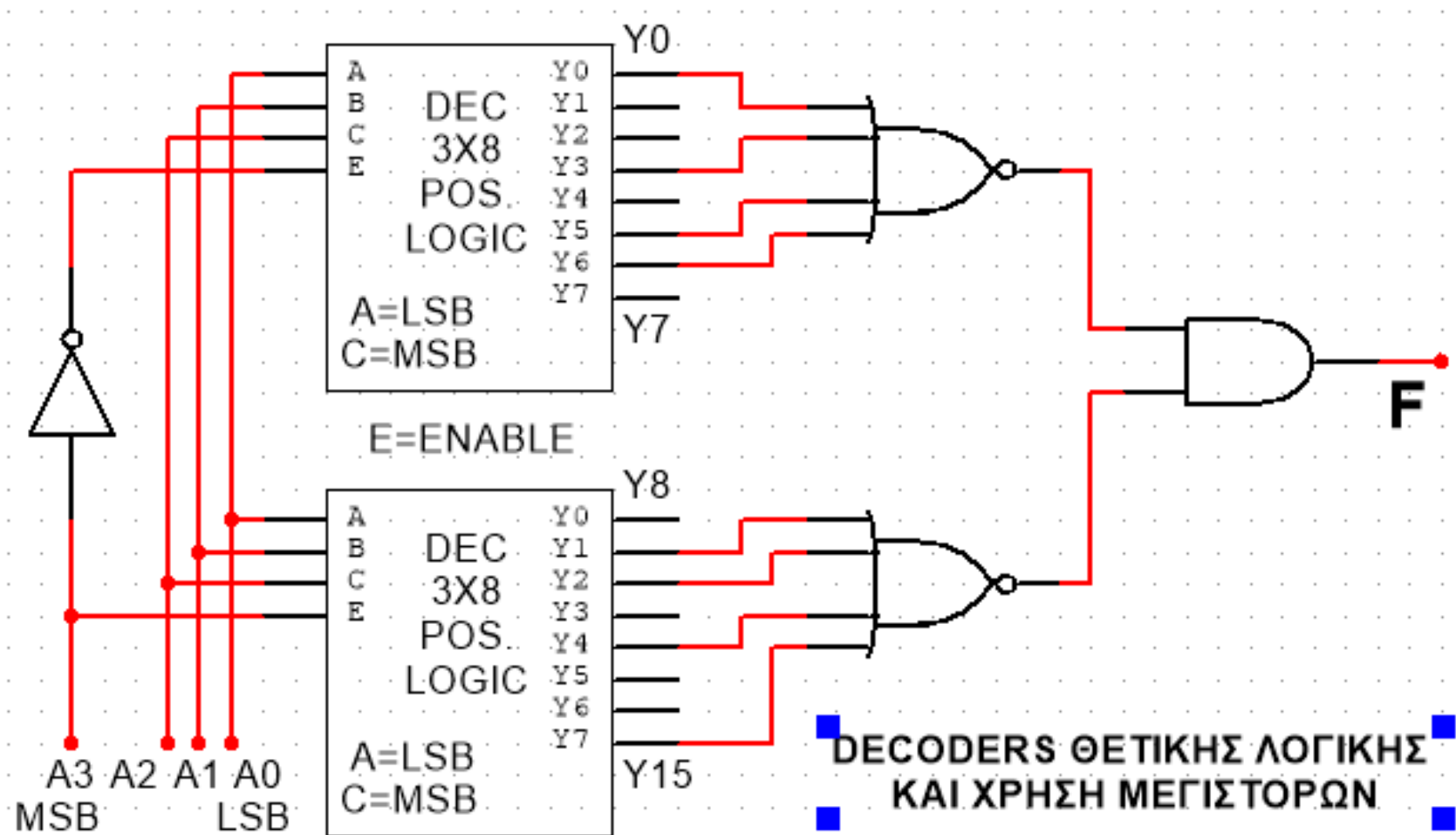
ΑΣΚΗΣΗ

ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $F(A_3, A_2, A_1, A_0) = m_1 + m_2 + m_4 + m_7 + m_8 + m_{11} + m_{13} + m_{14}$
ΜΕ ΔΥΟ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ (DECODERS) ΘΕΤΙΚΗΣ ΛΟΓΙΚΗΣ ΚΑΙ ΧΡΗΣΗ ΕΛΑΧΙΣΤΟΡΩΝ



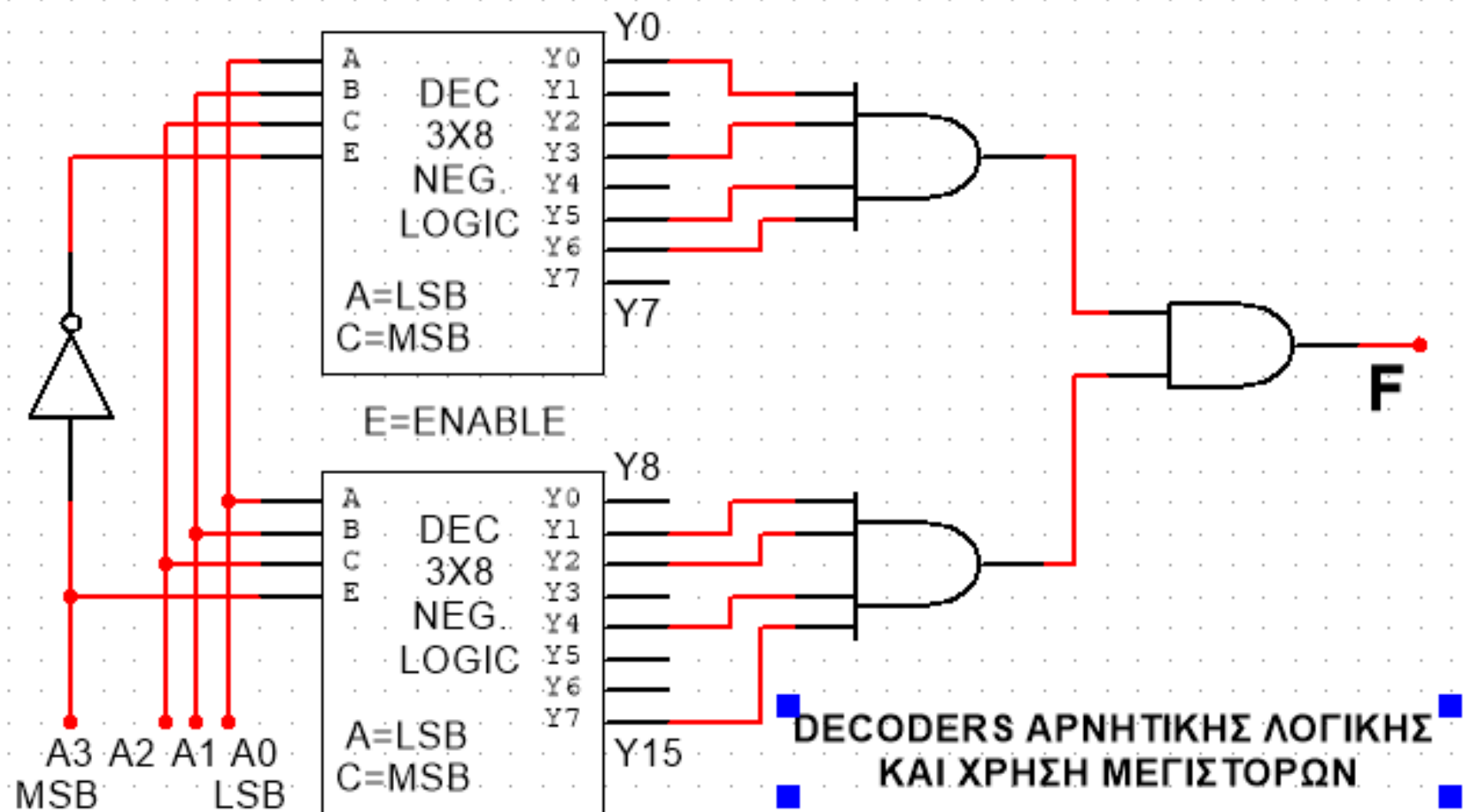
ΑΣΚΗΣΗ

ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $F(A_3, A_2, A_1, A_0) = m_1 + m_2 + m_4 + m_7 + m_8 + m_{11} + m_{13} + m_{14}$
ΜΕ ΔΥΟ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ (DECODERS) ΘΕΤΙΚΗΣ ΛΟΓΙΚΗΣ ΚΑΙ ΧΡΗΣΗ ΜΕΓΙΣΤΟΡΩΝ



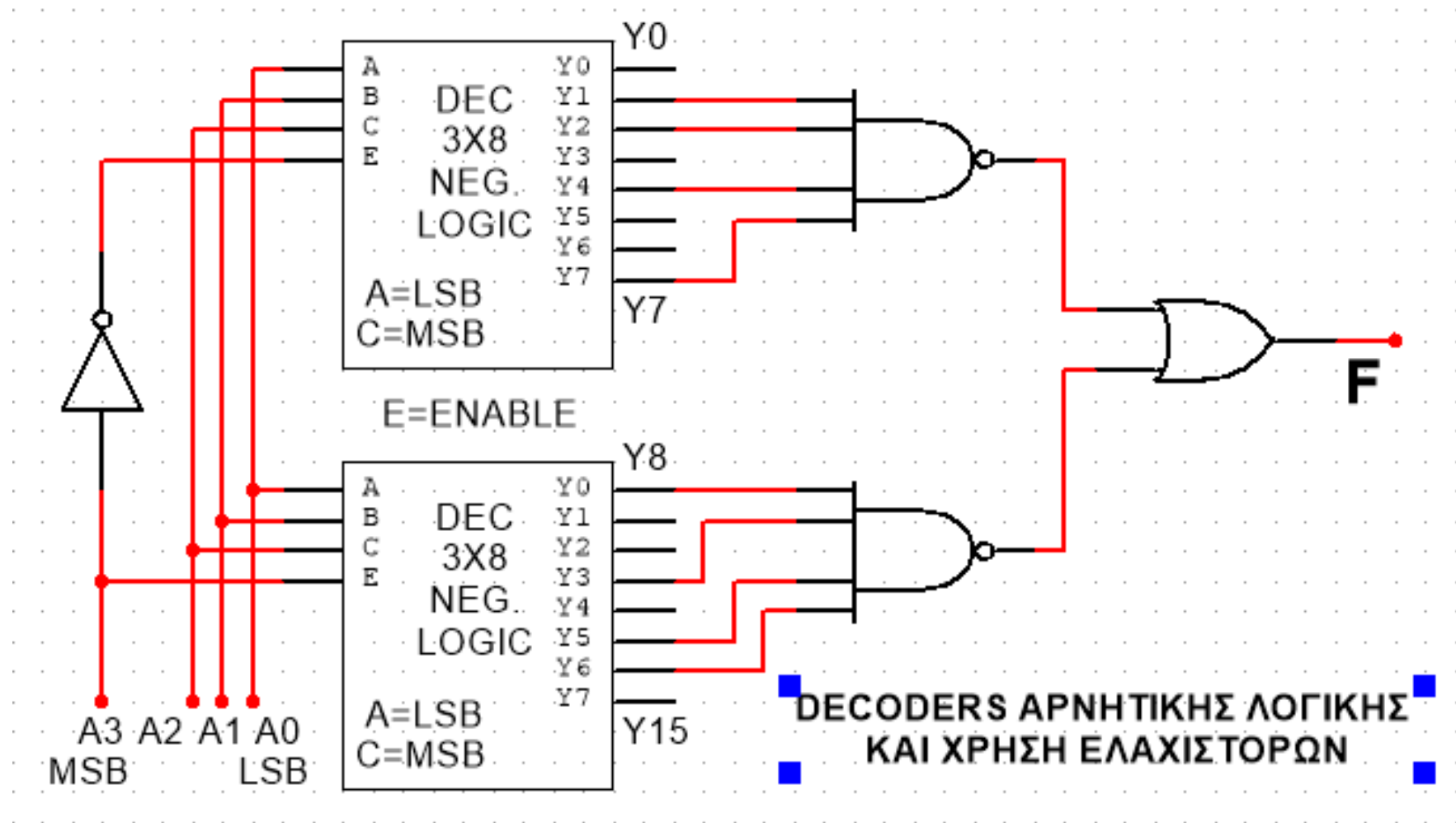
ΑΣΚΗΣΗ

ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $F(A_3, A_2, A_1, A_0) = M_0 \cdot M_3 \cdot M_5 \cdot M_6 \cdot M_9 \cdot M_{10} \cdot M_{12} \cdot M_{15}$
ΜΕ ΔΥΟ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ (DECODERS) ΑΡΝΗΤΙΚΗΣ ΛΟΓΙΚΗΣ ΚΑΙ ΧΡΗΣΗ ΜΕΓΙΣΤΟΡΩΝ



ΑΣΚΗΣΗ

ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ $F(A_3, A_2, A_1, A_0) = M_0 \cdot M_3 \cdot M_5 \cdot M_6 \cdot M_9 \cdot M_{10} \cdot M_{12} \cdot M_{15}$
ΜΕ ΔΥΟ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ (DECODERS) ΑΡΝΗΤΙΚΗΣ ΛΟΓΙΚΗΣ ΚΑΙ ΧΡΗΣΗ ΕΛΑΧΙΣΤΟΡΩΝ



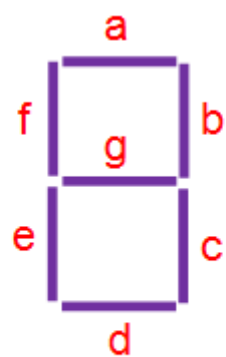


Figure1 Seven segment display

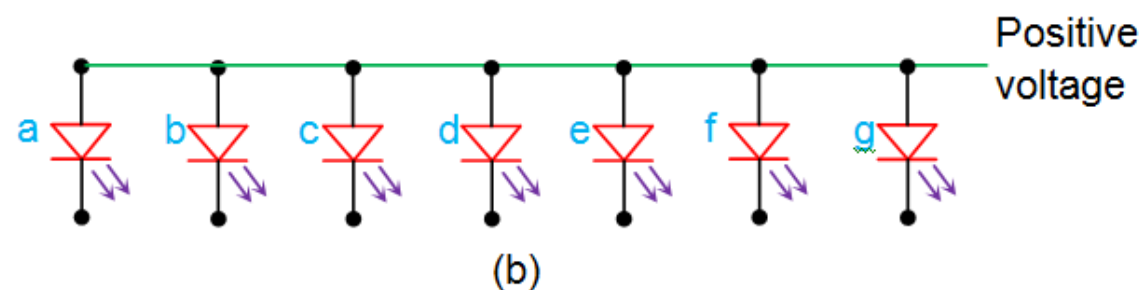
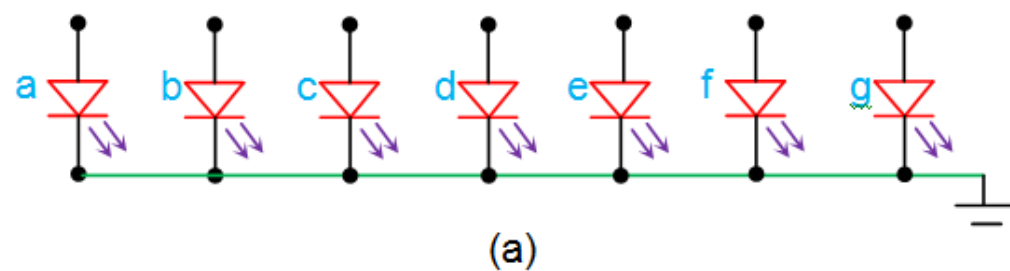


Figure 2 (a) Common cathode type display (b) Common anode type display

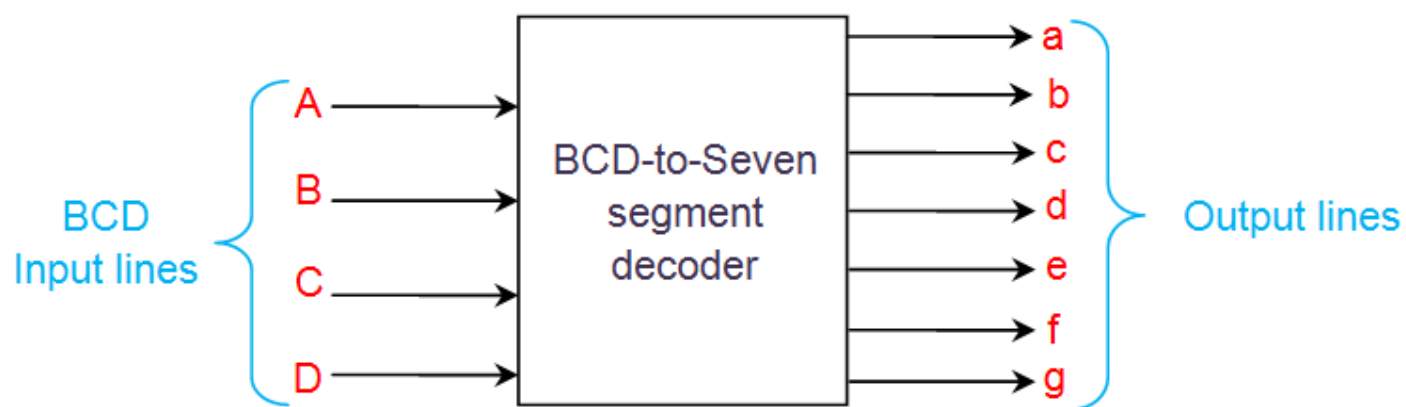
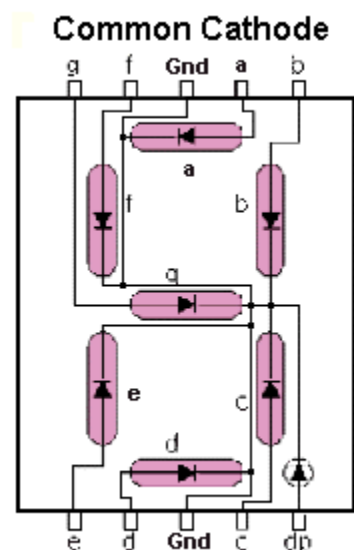


Figure 3 BCD-to-Seven segment decoder

Decimal Digit	Input lines				Output lines							Display pattern
	A	B	C	D	a	b	c	d	e	f	g	
0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	1	0	0	0	0	1
2	0	0	1	0	1	1	0	1	1	0	1	2
3	0	0	1	1	1	1	1	1	0	0	1	3
4	0	1	0	0	0	1	1	0	0	1	1	4
5	0	1	0	1	1	0	1	1	0	1	1	5
6	0	1	1	0	1	0	1	1	1	1	1	6
7	0	1	1	1	1	1	1	0	0	0	0	7
8	1	0	0	0	1	1	1	1	1	1	1	8
9	1	0	0	1	1	1	1	1	0	1	1	9

Decimal Number	BCD				Output						
	Y1	Y2	Y3	Y4	A	B	C	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	d	d	d	d	d	d	d
11	1	0	1	1	d	d	d	d	d	d	d
12	1	1	0	0	d	d	d	d	d	d	d
13	1	1	0	1	d	d	d	d	d	d	d
14	1	1	1	0	d	d	d	d	d	d	d
15	1	1	1	1	d	d	d	d	d	d	d

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ ΚΩΔΙΚΑ BCD ΣΕ ΟΘΟΝΗ 7 ΤΜΗΜΑΤΩΝ (ΚΟΙΝΗΣ ΚΑΘΟΔΟΥ). ΤΟ "d" ΔΗΛΩΝΕΙ ΤΟΥΣ ΑΔΙΑΦΟΡΟΥΣ ΟΡΟΥΣ.

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	0	1	1
01	0	1	1	0
11	d	d	d	d
10	1	1	d	d

$$A = y_1 + y_2 y_4 + \bar{y}_2 \bar{y}_4 + y_3 y_4$$

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	d	d	d	d
10	1	1	d	d

$$B = \bar{y}_2 + \bar{y}_3 \bar{y}_4 + y_3 y_4$$

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	d	d	d	d
10	1	1	d	d

$$C = \bar{y}_3 + y_2 + y_4$$

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	d	d	d	d
10	1	0	d	d

$$D = \bar{y}_2 \bar{y}_4 + \bar{y}_2 y_3 + y_3 \bar{y}_4 + y_2 \bar{y}_3 y_4$$

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	d	d	d	d
10	1	0	d	d

$$E = \bar{y}_2 \bar{y}_4 + y_3 \bar{y}_4$$

$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	d	d	d	d
10	1	1	d	d

$$F = \bar{y}_3 \bar{y}_4 + y_2 \bar{y}_4 + y_2 \bar{y}_3 + y_1$$

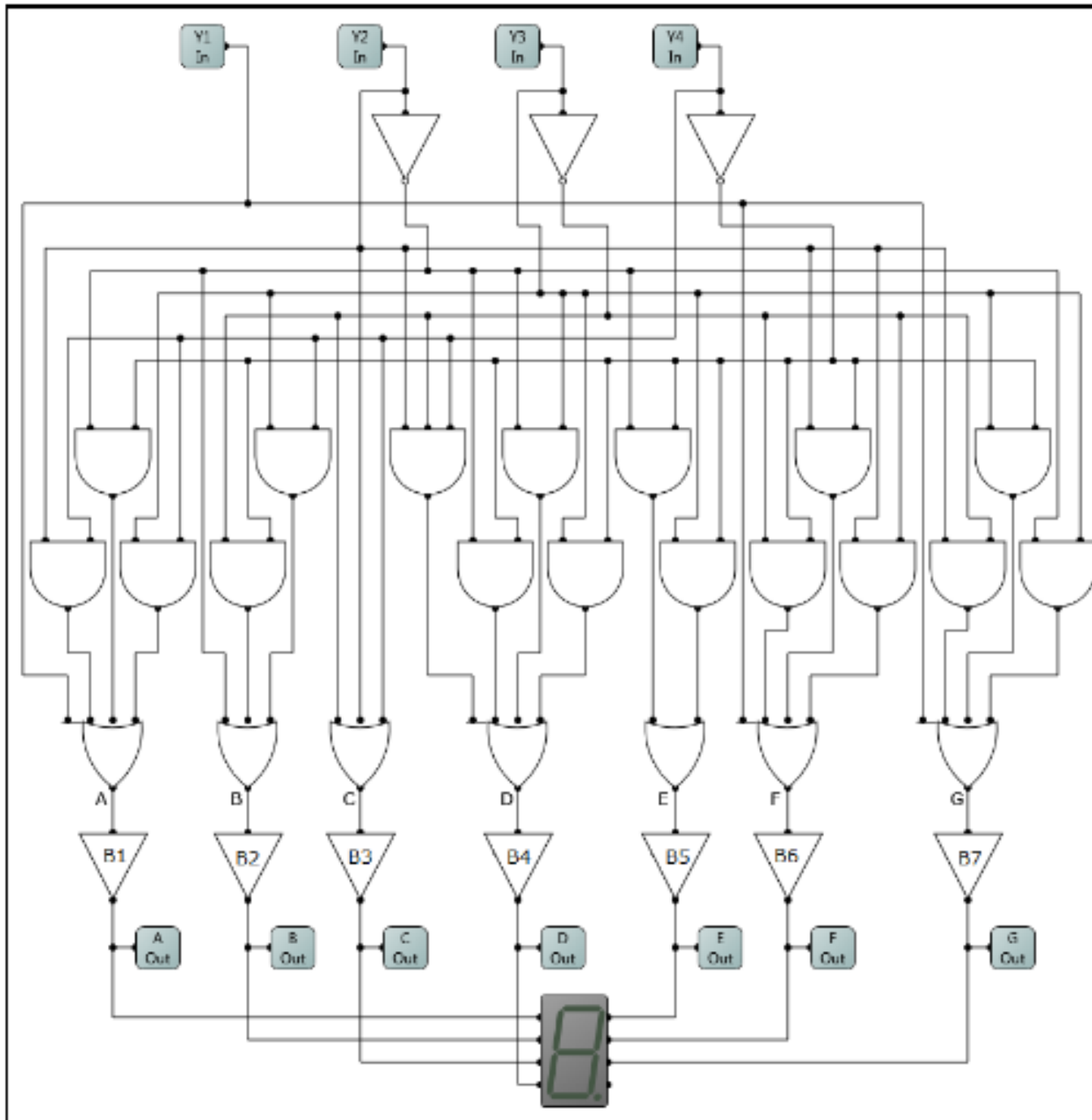
$y_3 y_4$

$y_1 y_2$

	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	d	d	d	d
10	1	1	d	d

$$G = y_2 \bar{y}_3 + y_3 \bar{y}_4 + \bar{y}_2 y_3 + y_1$$

**ΠΙΝΑΚΕΣ KARNAUGH ΚΑΙ ΑΠΛΟΠΟΙΗΜΕΝΕΣ
ΛΟΓΙΚΕΣ ΕΞΙΣΩΣΕΙΣ ΤΟΥ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ
BCD ΓΙΑ ΟΘΟΝΗ 7 ΤΜΗΜΑΤΩΝ**



ΚΥΚΛΩΜΑ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ ΚΩΔΙΚΑ BCD ΣΕ ΟΘΟΝΗ 7 ΤΜΗΜΑΤΩΝ

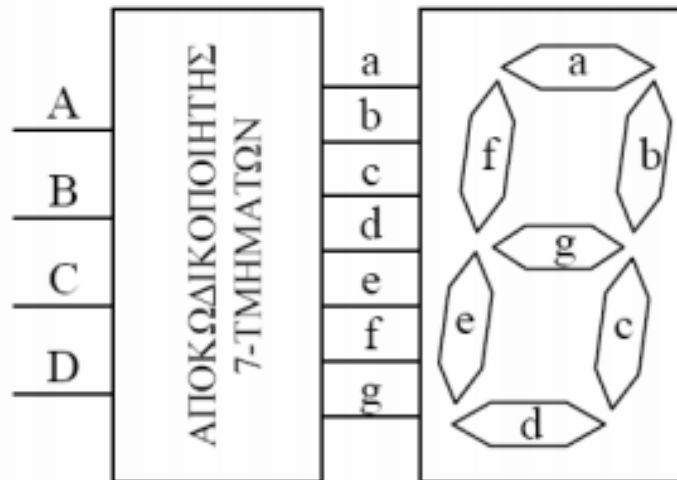
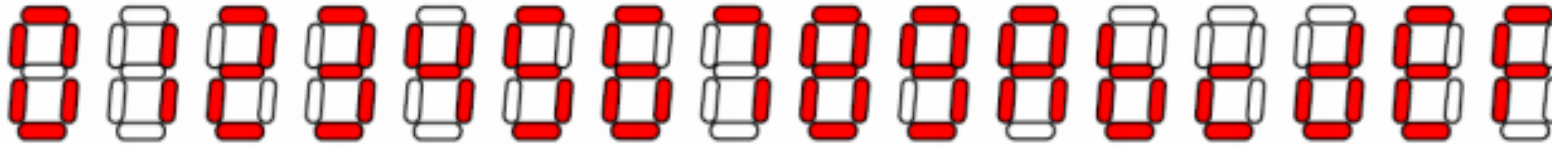
**ΟΙ ΠΥΛΕΣ B1 ΕΩΣ B7 ΕΧΟΥΝ ΜΠΕΙ ΓΙΑ
ΝΑ ΔΙΝΟΥΝ ΤΟ ΑΠΑΙΤΟΥΜΕΝΟ ΡΕΥΜΑ
ΓΙΑ ΝΑ ΛΕΙΤΟΥΡΓΗΣΕΙ Η ΟΘΟΝΗ**

**ΤΟ ΡΕΥΜΑ ΠΟΥ ΔΙΝΟΥΝ ΟΙ ΠΥΛΕΣ OR
ΔΕΝ ΕΊΝΑΙ ΑΡΚΕΤΟ ΓΙΑ ΤΗ ΛΕΙΤΟΥΡΓΙΑ
ΤΗΣ ΟΘΟΝΗΣ**

ΑΣΚΗΣΗ

ΝΑ ΔΟΘΟΥΝ ΟΙ ΑΠΛΟΠΟΙΗΜΕΝΕΣ ΛΟΓΙΚΕΣ ΕΞΙΣΩΣΕΙΣ ΚΑΘΩΣ ΚΑΙ ΤΟ ΑΝΤΙΣΤΟΙΧΟ ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ ΤΟΥ ΔΕΚΑΕΞΑΔΙΚΟΥ ΣΥΣΤΗΜΑΤΟΣ ΣΕ ΟΘΟΝΗ 7-ΤΜΗΜΑΤΩΝ.

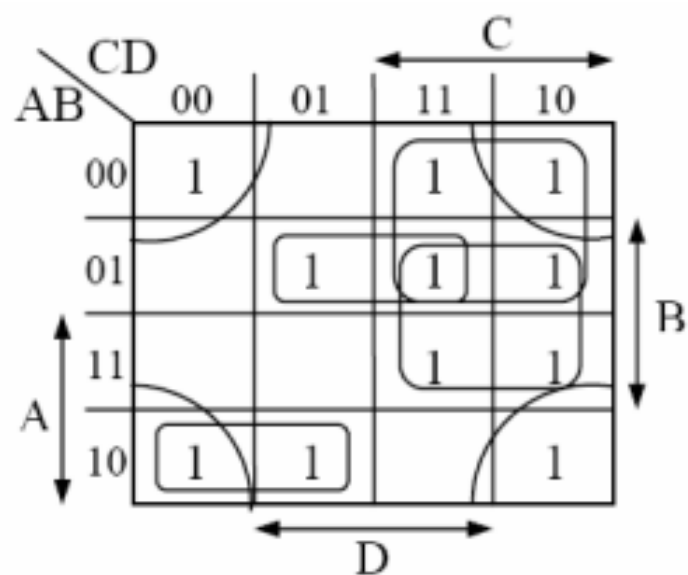
Η ΑΠΕΙΚΟΝΙΣΗ ΤΩΝ ΑΡΙΘΜΩΝ ΤΟΥ ΔΕΚΑΕΞΑΔΙΚΟΥ ΣΥΣΤΗΜΑΤΟΣ ΣΤΗΝ ΟΘΟΝΗ ΦΑΙΝΕΤΑΙ ΠΑΡΑΚΑΤΩ:



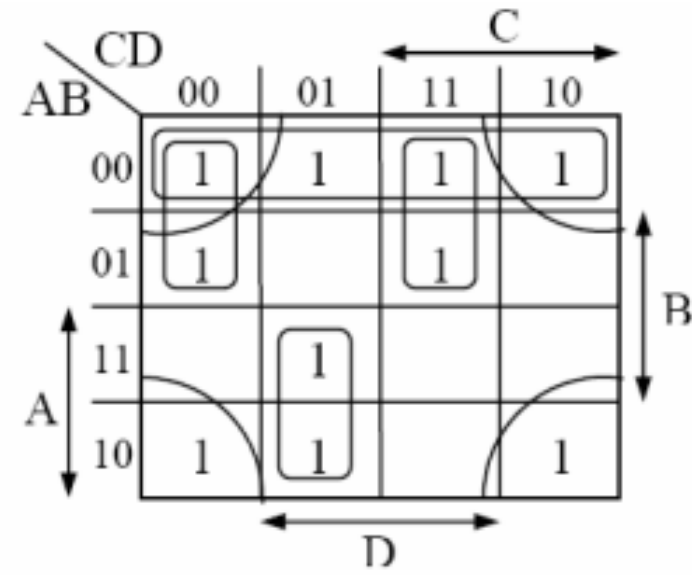
$[0] = \{a, b, c, d, e, f\}$	$[8] = \{a, b, c, d, e, f, g\}$
$[1] = \{b, c\}$	$[9] = \{a, b, c, d, f, g\}$
$[2] = \{a, b, d, e, g\}$	$[A] = \{a, b, c, e, f, g\}$
$[3] = \{a, b, c, d, g\}$	$[B] = \{c, d, e, f, g\}$
$[4] = \{b, c, f, g\}$	$[C] = \{d, e, g\}$
$[5] = \{a, c, d, f, g\}$	$[D] = \{b, c, d, e, g\}$
$[6] = \{a, c, d, e, f, g\}$	$[E] = \{a, d, e, f, g\}$
$[7] = \{a, b, c\}$	$[F] = \{a, e, f, g\}$

A	B	C	D	Αριθμός	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	1	0	1	1	0	0	0	0
0	0	1	0	2	1	1	0	1	1	0	1
0	0	1	1	3	1	1	1	1	0	0	1
0	1	0	0	4	0	1	1	0	0	1	1
0	1	0	1	5	1	0	1	1	0	1	1
0	1	1	0	6	1	0	1	1	1	1	1
0	1	1	1	7	1	1	1	0	0	0	0
1	0	0	0	8	1	1	1	1	1	1	1
1	0	0	1	9	1	1	1	1	0	1	1
1	0	1	0	A	1	1	1	0	1	1	1
1	0	1	1	B	0	0	1	1	1	1	1
1	1	0	0	C	0	0	0	1	1	0	1
1	1	0	1	D	0	1	1	1	1	0	1
1	1	1	0	E	1	0	0	1	1	1	1
1	1	1	1	F	1	0	0	0	1	1	1

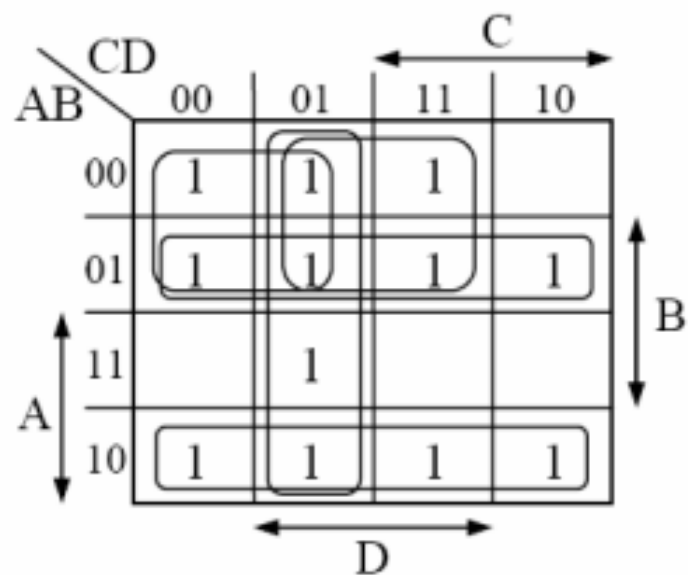
**ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ
ΤΟΥ ΔΕΚΑΕΞΑΔΙΚΟΥ ΚΩΔΙΚΑ ΣΕ ΟΘΟΝΗ 7-ΤΜΗΜΑΤΩΝ**



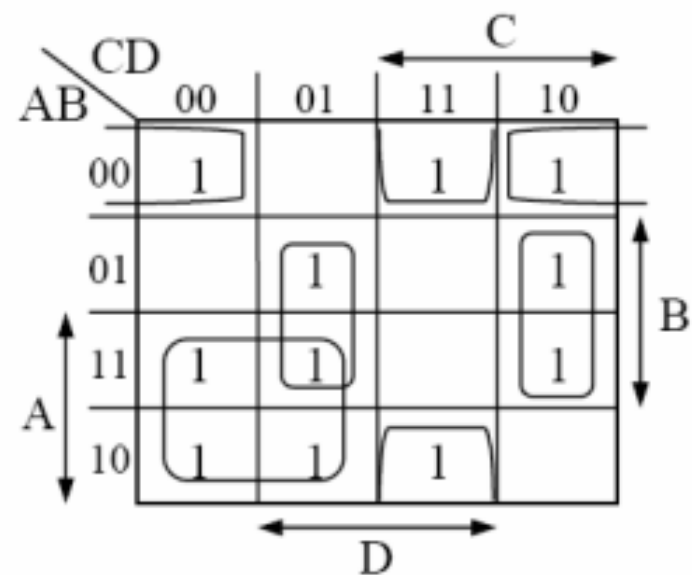
$$\mathbf{a} = A'C + BC + B'D' + A'BD + AB'C'$$



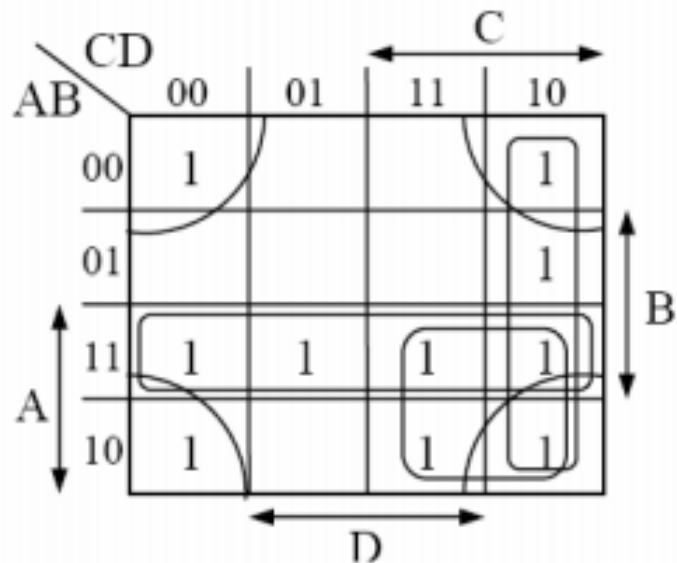
$$\mathbf{b} = A'B' + B'D' + A'C'D' + A'CD + AC'D$$



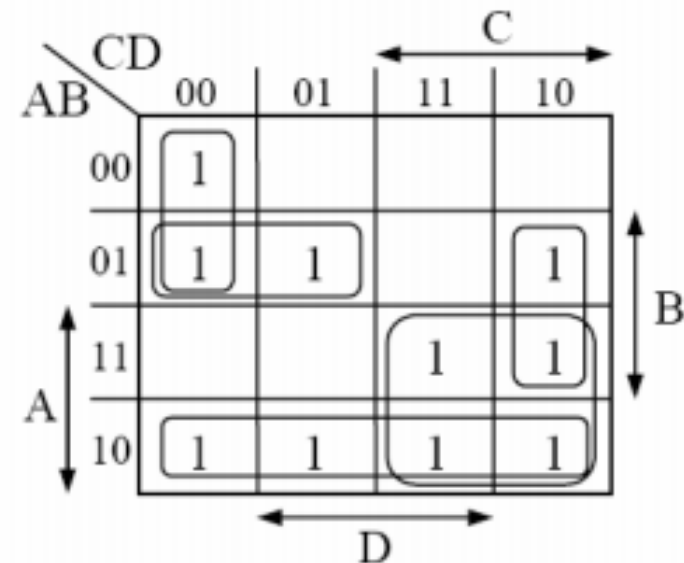
$$\mathbf{c} = A'C' + A'D + A'B + AB' + C'D$$



$$\mathbf{d} = AC' + BC'D + BCD' + A'B'D' + B'CD$$

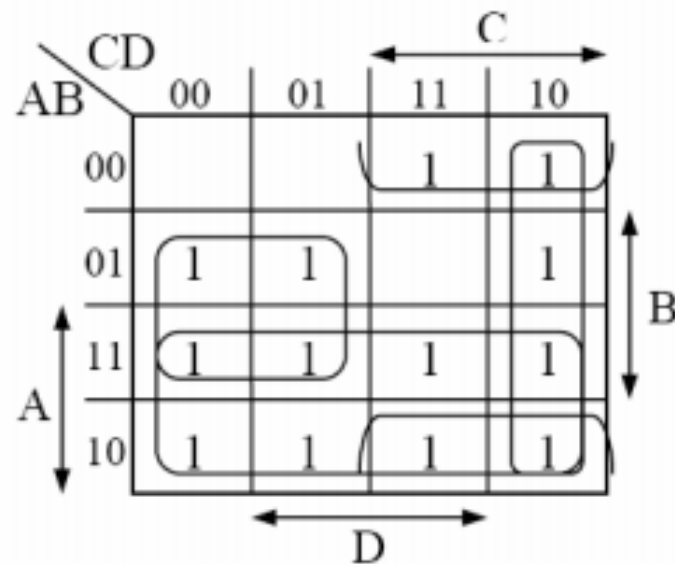


$$e = AB + AC + B'D' + CD'$$

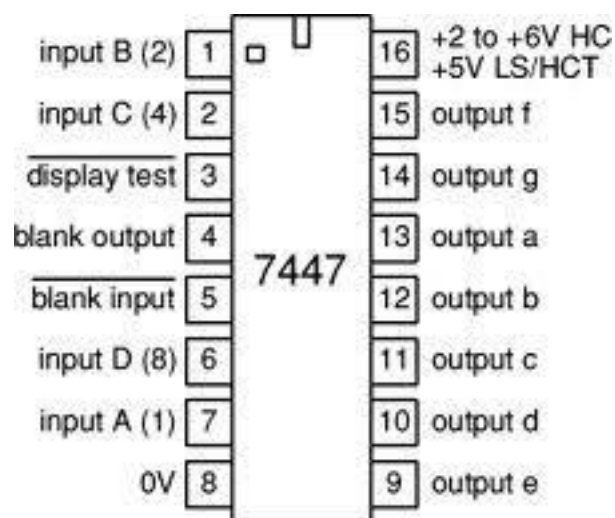
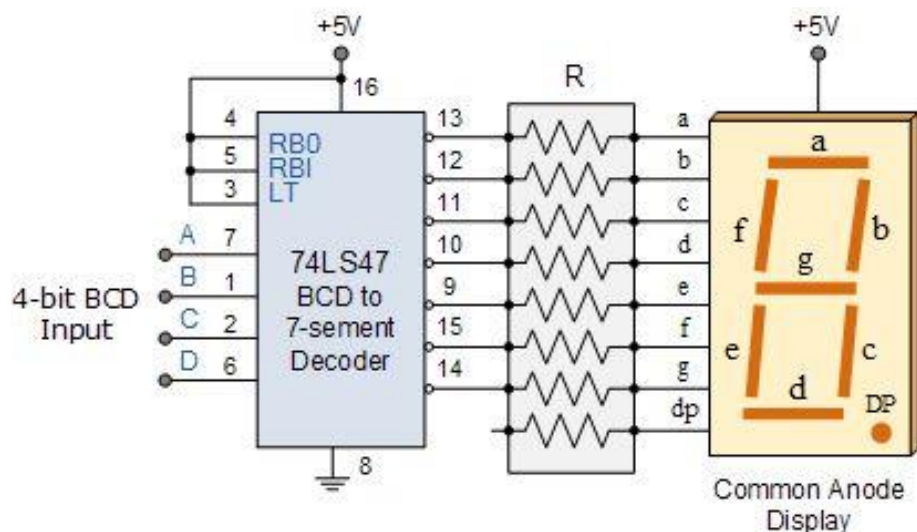


$$f = AB' + AC + A'C'D' + A'BC' + BCD'$$

ΑΠΟ ΤΙΣ ΑΠΛΟΠΟΙΗΜΕΝΕΣ
ΕΞΙΣΩΣΕΙΣ ΤΩΝ a,b,c,d,e,f,g
ΣΧΕΔΙΑΖΟΥΜΕ ΤΟ ΚΥΚΛΩΜΑ



$$g = A + BC' + CD' + B'C$$



46A, 47A															
Decimal or Function	Inputs						BI/RBO (Note 1)	Outputs							Note
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(3)
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	(4)
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(5)

Note 1: BI/RBO is a wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

Note 2: The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.

Note 3: When a low logic level is applied directly to the blanking input (BI), all segment outputs are high regardless of the level of any other input.

Note 4: When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go H and the ripple-blanking output (RBO) goes to a low level (response condition).

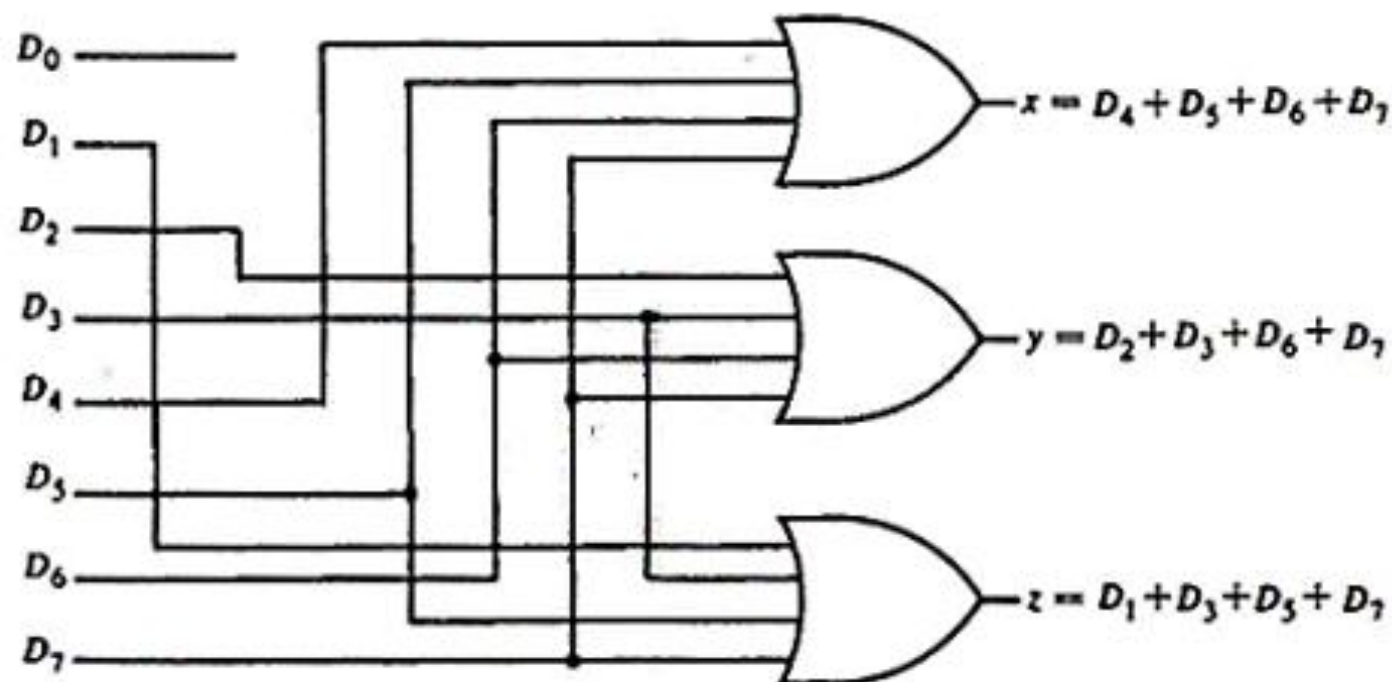
ΚΥΚΛΩΜΑ ΚΑΙ ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΤΟΥ 74LS47 (BCD TO 7-SEGMENT DECODER/DRIVER)

Κωδικοποιητής από Οκταδικό σε Δυαδικό

Ο Κωδικοποιητής εκτελεί την αντίστροφη λειτουργία από τον Αποκωδικοποιητή: Έχει 2" γραμμές εισόδου και n γραμμές εξόδου και δίνει στην έξοδο τον δυαδικό κώδικα που αντιστοιχεί στις γραμμές εισόδου.

Είσοδοι								Έξοδοι		
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	x	y	z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Κωδικοποιητής (Encoder)



- Προβλήματα:
- Όταν περισσότερες της μίας είσοδοι είναι 1 τότε η έξοδος είναι απροσδιόριστη. (Λύση: προτεραιότητα)
 - Όταν όλες οι είσοδοι είναι 0 τότε η έξοδος είναι 0 που δεν είναι σωστό αφού η $D_0 \neq 1$. (Λύση: διάκριση της κατάστασης)

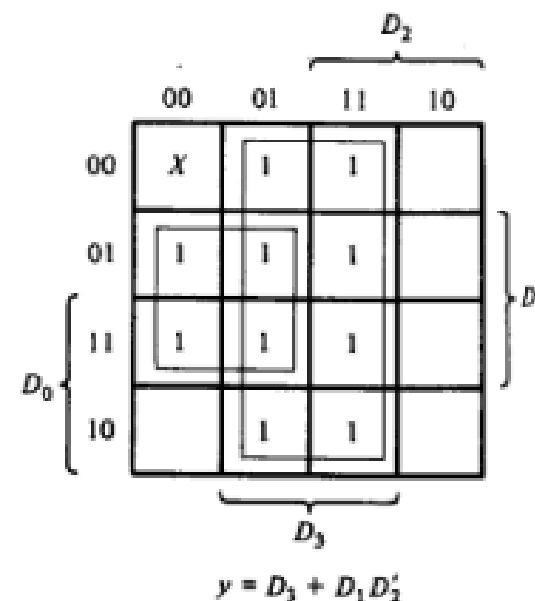
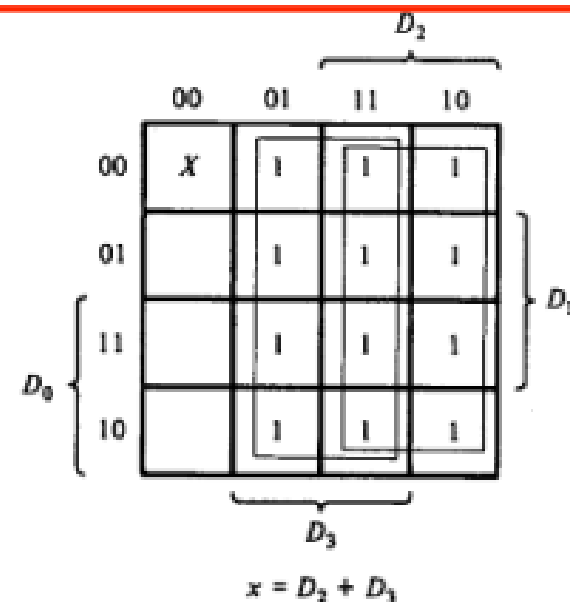
Κωδικοποιητής Προτεραιότητας

Το πρόβλημα προέρχεται από τις αδιάφορες καταστάσεις.

Ο κωδικοποιητής προτεραιότητας είναι ένα κύκλωμα κωδικοποιητή που περιλαμβάνει συνάρτηση προτεραιότητας και καθορίζει όλες τις αδιάφορες καταστάσεις.

Παράδειγμα: Κωδικοποιητής προτεραιότητας 4 εισόδων

Είσοδοι				Έξοδοι		
D_0	D_1	D_2	D_3	X	Y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

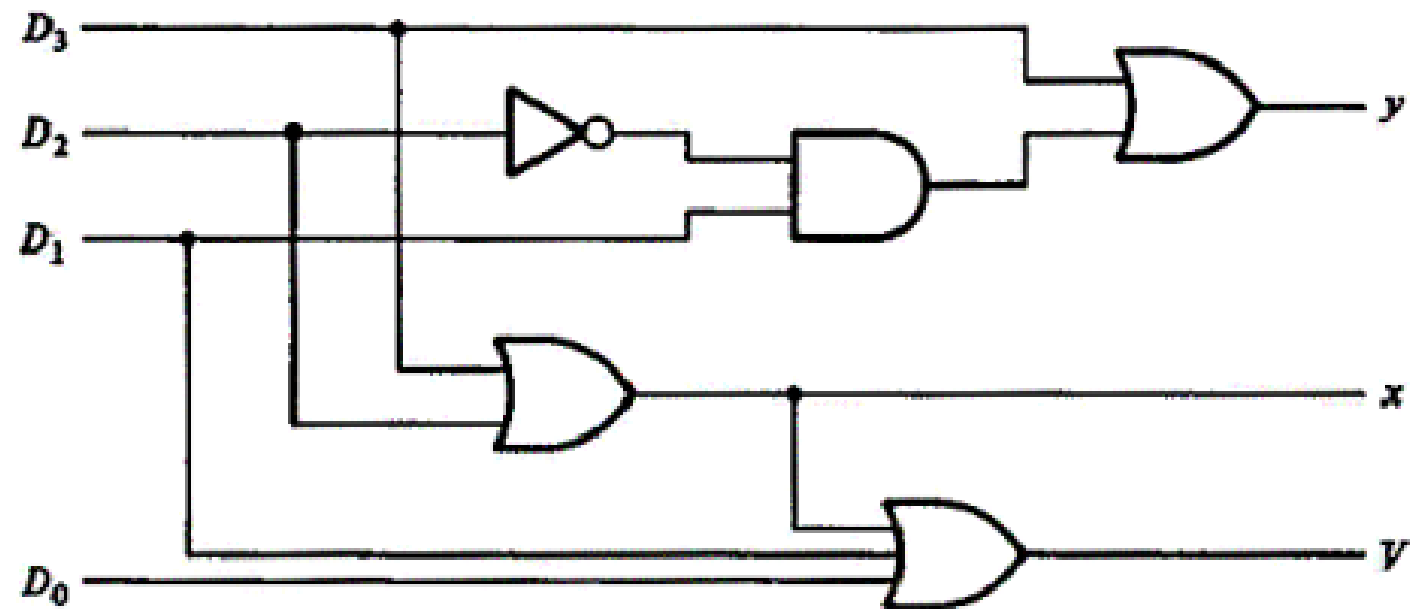


Κωδικοποιητής Προτεραιότητας 4 Εισόδων

$$x = D_2 + D_3$$

$$y = D_3 + D_1 D_2'$$

$$V = D_0 + D_1 + D_2 + D_3$$



Λύνει το πρόβλημα της επιλογής όταν περισσότερες της μίας εισόδων είναι 1 επιλέγοντας αυτή με τη μεγαλύτερη προτεραιότητα.

Πίνακας 1 Πίνακας Αληθείας του Κωδικοποιητή 8x3 (Θετικής Λογικής)											Πίνακας 2 Πίνακας Αληθείας του Κωδικοποιητή 8x3 (Αρνητικής Λογικής)										
I	I	I	I	I	I	I	I	D	D	D	I	I	I	I	I	I	I	D	D	D	
0	1	2	3	4	5	6	7	2	1	0	0	1	2	3	4	5	6	7	2	1	0
<u>1</u>	0	0	0	0	0	0	0	0	0	0	<u>0</u>	1	1	1	1	1	1	0	0	0	
0	<u>1</u>	0	0	0	0	0	0	0	0	1	1	<u>0</u>	1	1	1	1	1	0	0	1	
0	0	<u>1</u>	0	0	0	0	0	0	1	0	1	1	<u>0</u>	1	1	1	1	0	1	0	
0	0	0	<u>1</u>	0	0	0	0	0	1	1	1	1	1	<u>0</u>	1	1	1	0	1	1	
0	0	0	0	<u>1</u>	0	0	0	1	0	0	1	1	1	1	<u>0</u>	1	1	1	0	0	
0	0	0	0	0	<u>1</u>	0	0	1	0	1	1	1	1	1	<u>0</u>	1	1	1	0	1	
0	0	0	0	0	0	<u>1</u>	0	1	1	0	1	1	1	1	1	<u>0</u>	1	1	1	0	
0	0	0	0	0	0	0	<u>1</u>	1	1	1	1	1	1	1	1	<u>0</u>	1	1	1	1	

ΛΟΓΙΚΕΣ ΕΞΙΣΩΣΕΙΣ

Λογικές Εξισώσεις Κωδικοποιητή 8x3 (Θετικής Λογικής)	Λογικές Εξισώσεις Κωδικοποιητή 8x3 (Αρνητικής Λογικής)
D2= I4+I5+I6+I7	D2= $\overline{I4} + \overline{I5} + \overline{I6} + \overline{I7}$
D1= I2+I3+I6+I7	D1= $\overline{I2} + \overline{I3} + \overline{I6} + \overline{I7}$
D0= I1+I3+I5+I7	D0= $\overline{I1} + \overline{I3} + \overline{I5} + \overline{I7}$

Κώδικες του δεκαδικού συστήματος αρίθμησης

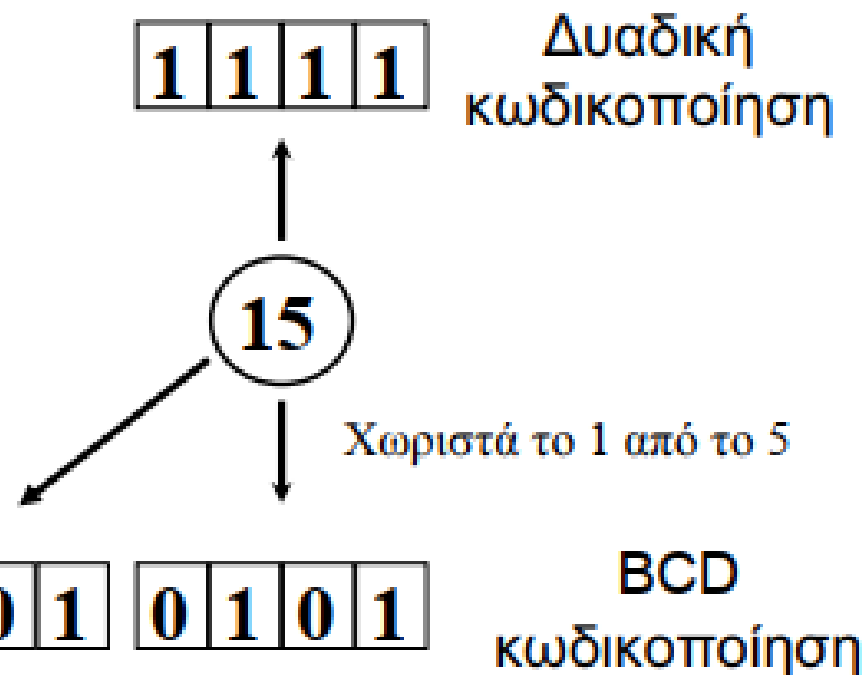
	8421 B.C.D.	Υπέρβαση - 3 Excess - 3 (x-3)	84 -2 -1	Gray
0	0000	0011	0000	0000
1	0001	0100	0111	0001
2	0010	0101	0110	0011
3	0011	0110	0101	0010
4	0100	<u>0111</u>	<u>0100</u>	0110
5	0101	1000	1011	0111
6	0110	1001	1010	0101
7	0111	1010	1001	0100
8	1000	1011	1000	1100
9	1001	1100	1111	1101

Δεκαδικός Κώδικας BCD

(Binary-Coded-Decimal)

B=10	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101

B=10	BCD
6	0110
7	0111
8	1000
9	1001



Ο κώδικας BCD έχει 4 δυαδικά ψηφία και χρησιμοποιείται για την κωδικοποίηση των μονοψήφιων δεκαδικών αριθμών από το 0 μέχρι το 9. Τα βάρη στον κώδικα BCD είναι 8-4-2-1

Δεκαδικός Κώδικας Excess-3

B=10	Exc-3
0	0011
1	0100
2	0101
3	0110
4	0111
5	1000

B=10	Exc-3
6	1001
7	1010
8	1011
9	1100



Ο κώδικας Excess-3 έχει 4 δυαδικά ψηφία και χρησιμοποιείται για την κωδικοποίηση των μονοψήφιων δεκαδικών αριθμών από το 0 μέχρι το 9.

Δεν έχει βάρη και προκύπτει από τον κώδικα BCD με πρόσθεση του 3. Είναι αυτο-συμπληρωματικός κώδικας γιατί το συμπλήρωμα ως προς 9 των δεκαδικών αριθμών βρίσκεται με αντικατάσταση του 1 με 0 και του 0 με 1.

Κώδικας Gray

B=10	B=2 b2 b1 b0	Gray g2 g1 g0
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
5	101	111
6	110	101
7	111	100

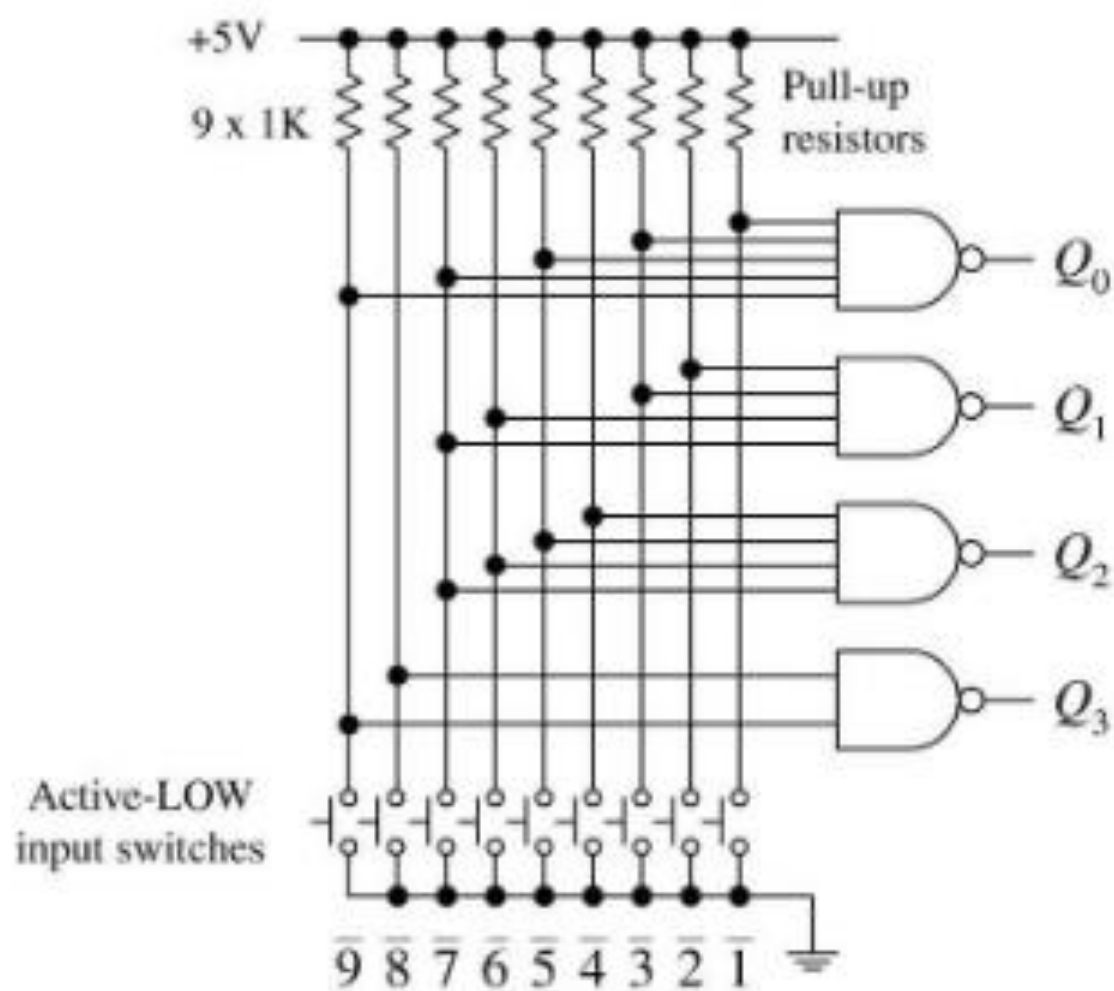
Ο κώδικας Gray 3 ψηφίων (g_2, g_1, g_0) παράγεται από το δυαδικό κώδικα 3 ψηφίων (b_2, b_1, b_0) ως εξής :

- Εάν $b_1 = b_0$, τότε $g_0 = 0$,
αλλιώς $g_0 = 1$.
- Εάν $b_2 = b_1$, τότε $g_1 = 0$,
αλλιώς $g_1 = 1$.
- $g_2 = b_2$

Η ίδια διαδικασία παραγωγής του κώδικα Gray από το δυαδικό κώδικα ακολουθείται ανεξάρτητα από το πλήθος των ψηφίων.

Το σημαντικό χαρακτηριστικό του κώδικα Gray είναι ότι δύο διαδοχικές κωδικές λέξεις του διαφέρουν μόνο κατά ένα ψηφίο.

Simple decimal-to-BCD encoder

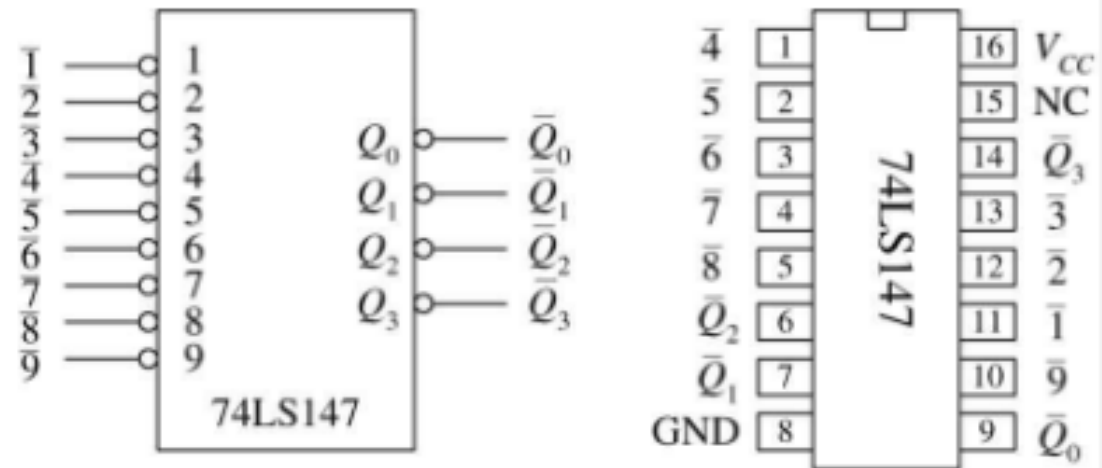
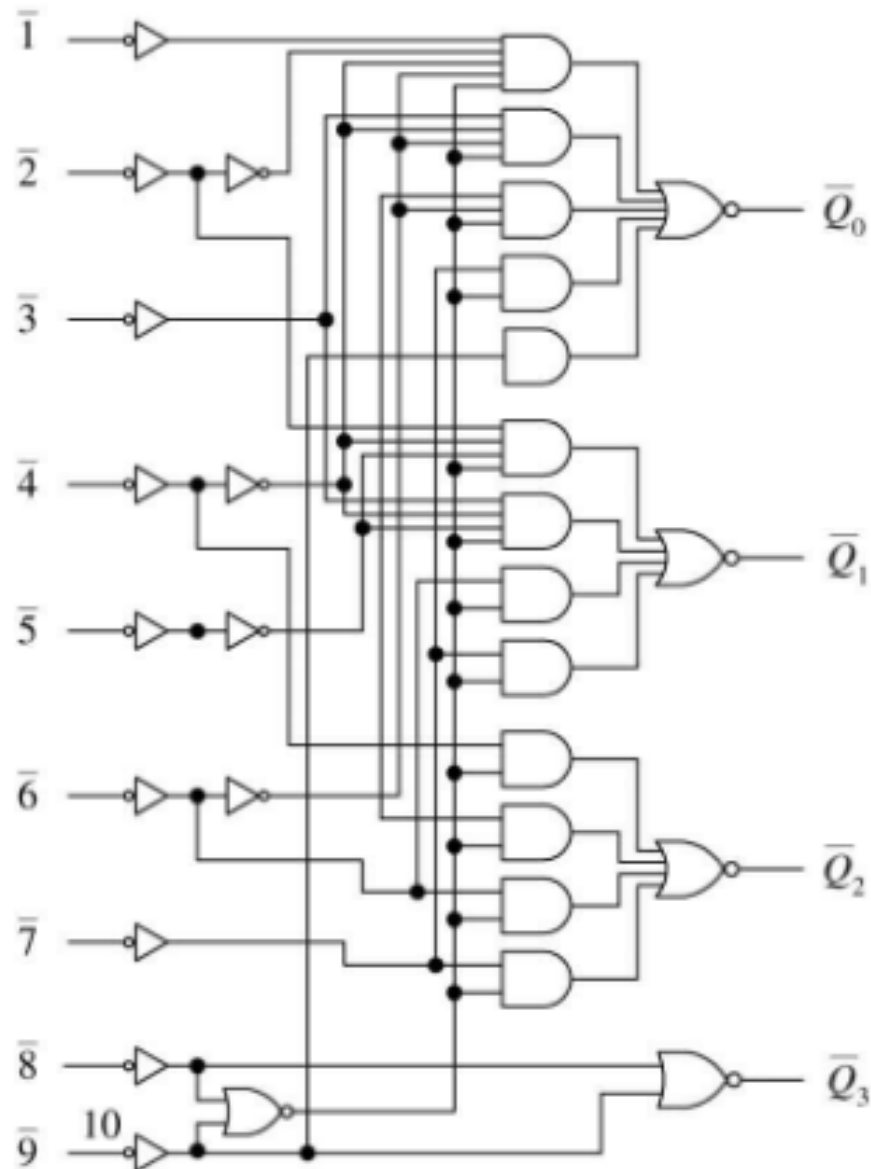


Truth table

$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$	Q_3	Q_2	Q_1	Q_0	BCD (pos. logic)
H	H	H	H	H	H	H	H	H	L	L	L	L	0000 (0_{10})
L	H	H	H	H	H	H	H	H	L	L	L	H	0001 (1_{10})
H	L	H	H	H	H	H	H	H	L	L	H	L	0010 (2_{10})
H	H	L	H	H	H	H	H	H	L	L	H	H	0011 (3_{10})
H	H	H	L	H	H	H	H	H	L	H	L	L	0100 (4_{10})
H	H	H	H	L	H	H	H	H	L	H	L	H	0101 (5_{10})
H	H	H	H	H	L	H	H	H	L	H	H	L	0110 (6_{10})
H	H	H	H	H	H	L	H	H	L	H	H	H	0111 (7_{10})
H	H	H	H	H	H	H	L	H	H	L	L	L	1000 (8_{10})
H	H	H	H	H	H	H	H	L	H	L	L	H	1001 (9_{10})

H = High voltage level, L = Low voltage level

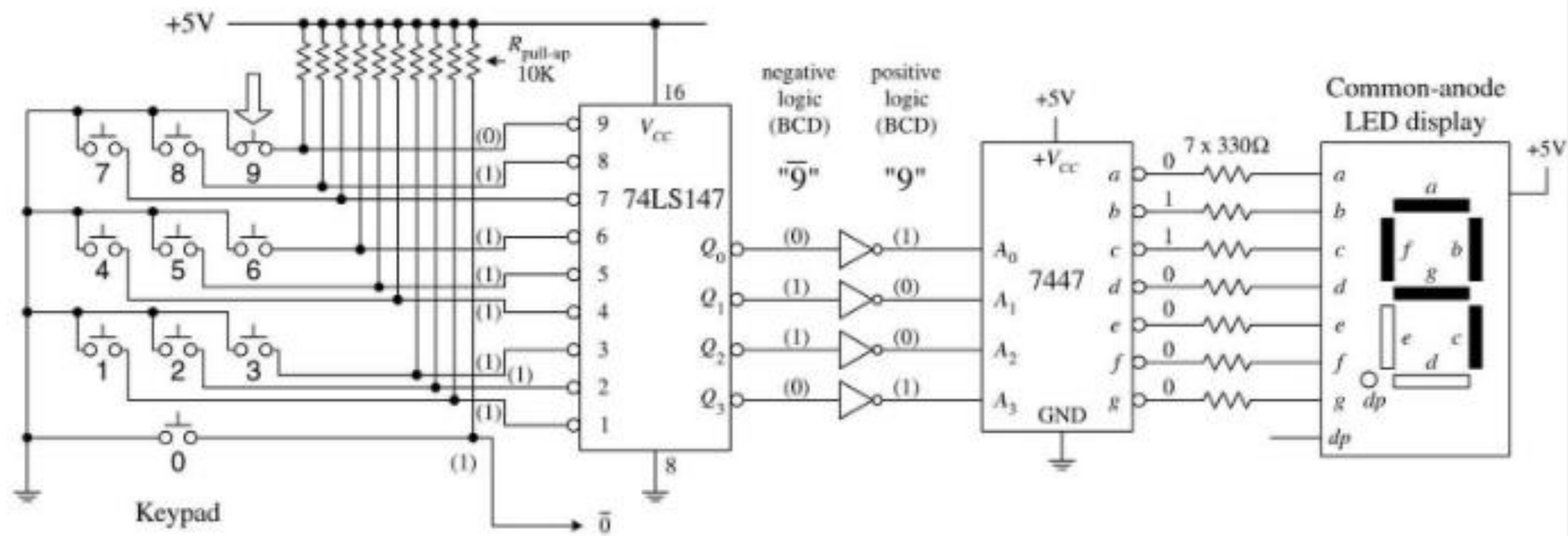
74LS147 decimal-to-BCD (ten-line-to-four-line) priority encoder



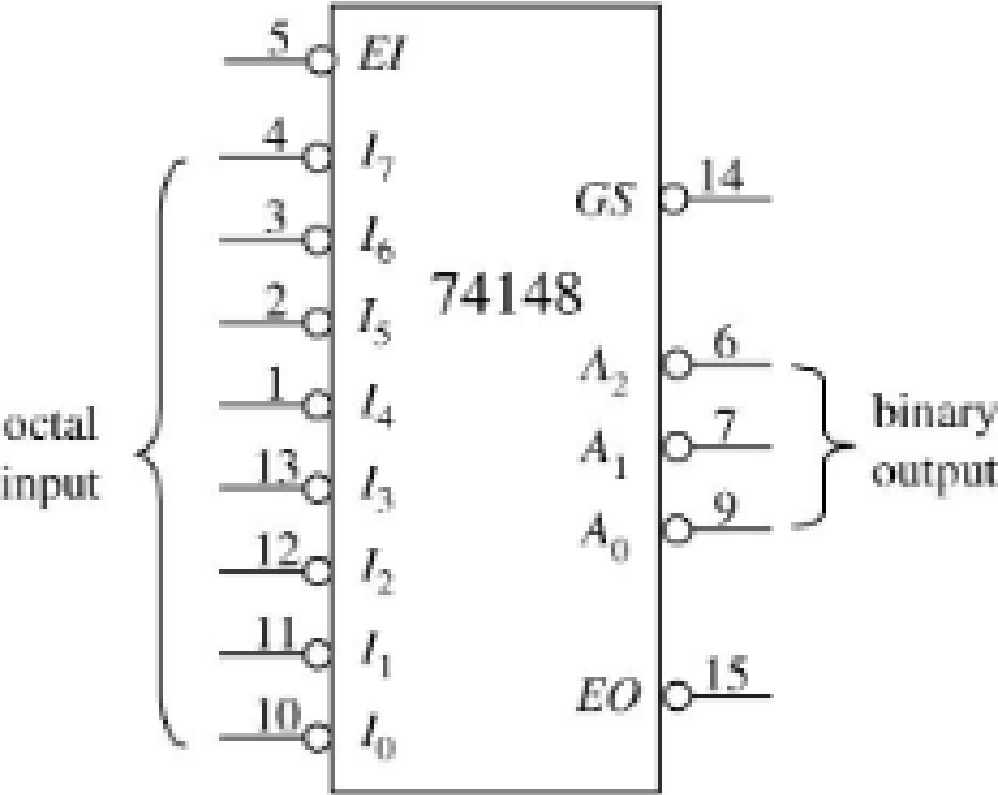
Truth table for 74LS147

										BCD				
$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$	$\bar{8}$	$\bar{9}$		\bar{Q}_3	\bar{Q}_2	\bar{Q}_1	\bar{Q}_0	(neg. logic)
H	H	H	H	H	H	H	H	H		H	H	H	H	1111 (0_{10})
X	X	X	X	X	X	X	X	L		L	H	H	L	0110 (9_{10})
X	X	X	X	X	X	X	L	H		L	H	H	H	0111 (8_{10})
X	X	X	X	X	X	L	H	H		H	L	L	L	1000 (7_{10})
X	X	X	X	X	L	H	H	H		H	L	L	H	1001 (6_{10})
X	X	X	X	L	H	H	H	H		H	L	H	L	1010 (5_{10})
X	X	X	L	H	H	H	H	H		H	L	H	H	1011 (4_{10})
X	X	L	H	H	H	H	H	H		H	H	L	L	1100 (3_{10})
X	L	H	H	H	H	H	H	H		H	H	L	H	1101 (2_{10})
L	H	H	H	L	H	H	H	H		H	H	H	L	1110 (1_{10})

H = High voltage level, L = Low voltage level, X = don't care



74148 octal-to-binary priority encoder



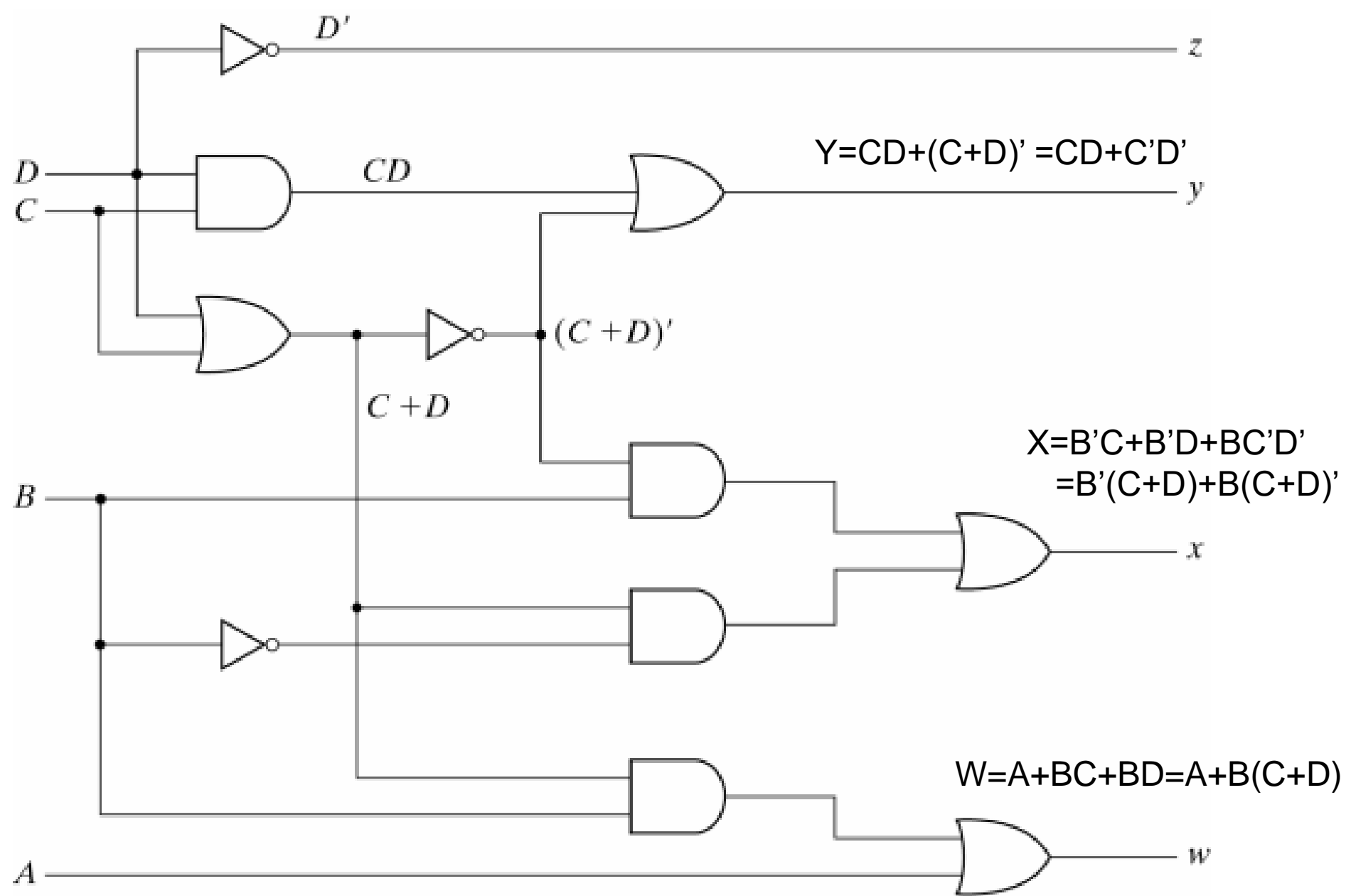
74148 truth table

\overline{EI}	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	\overline{GS}	$\overline{A_0}$	$\overline{A_1}$	$\overline{A_2}$	\overline{EO}
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	H	L	L	H
L	X	X	X	X	X	L	H	H	L	L	H	L	H
L	X	X	X	L	H	H	H	H	L	L	L	H	H
L	X	X	L	H	H	H	H	H	L	H	L	H	H
L	X	L	H	H	H	H	H	H	L	L	H	H	H
L	L	H	H	H	H	H	H	H	L	H	H	H	H

Πίνακας αληθείας για μετατροπή του κώδικα BCD σε κώδικα excess-3

A	B	C	D	w	x	y	z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

		CD		C			
AB		00	01	11	10		
A	00	1			1	B	
	01	1			1		
	11	X	X	X	X		
	10	1		X	X		
		D					
		$z = D'$					



Κύκλωμα μετατροπής του κώδικα BCD σε Excess-3

ΣΧΕΔΙΑΣΗ ΚΩΔΙΚΟΠΟΙΗΤΗ ΓΙΑ ΤΗ ΜΕΤΑΤΡΟΠΗ ΤΟΥ ΔΥΑΔΙΚΟΥ ΚΩΔΙΚΑ ΣΕ ΚΩΔΙΚΑ GRAY

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

Decimal Number	4 bit Binary Number	4 bit Gray Code
	<u>ABCD</u>	<u>G₁G₂G₃G₄</u>
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 0 1 0
4	0 1 0 0	0 1 1 0
5	0 1 0 1	0 1 1 1
6	0 1 1 0	0 1 0 1
7	0 1 1 1	0 1 0 0
8	1 0 0 0	1 1 0 0
9	1 0 0 1	1 1 0 1
10	1 0 1 0	1 1 1 1
11	1 0 1 1	1 1 1 0
12	1 1 0 0	1 0 1 0
13	1 1 0 1	1 0 1 1
14	1 1 1 0	1 0 0 1
15	1 1 1 1	1 0 0 0

$$G_4 = \sum m(8, 9, 10, 11, 12, 13, 14, 15), \quad G_3 = \sum m(4, 5, 6, 7, 8, 9, 10, 11)$$
$$G_2 = \sum m(2, 3, 4, 5, 10, 11, 12, 13), \quad G_1 = \sum m(1, 2, 5, 6, 9, 10, 13, 14)$$

**ΕΞΙΣΩΣΕΙΣ ΕΞΟΔΟΥ ΣΕ ΜΟΡΦΗ
ΑΘΡΟΙΣΜΑΤΟΣ ΕΛΑΧΙΣΤΟΡΩΝ**

G_4

AB \ CD	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	1	1	1	1
10	1	1	1	1

$$G_4 = A$$

G_3

AB \ CD	00	01	11	10
00	0	1	3	2
01	1	1	1	1
11	12	13	15	14
10	1	1	1	1

$$G_3 = \bar{A}B + A\bar{B} = A \oplus B$$

G_2

AB \ CD	00	01	11	10
00			1	1
01	1	1		
11	1	1		
10			1	1

$$G_2 = \overline{B}\overline{C} + \overline{B}C = B \oplus C$$

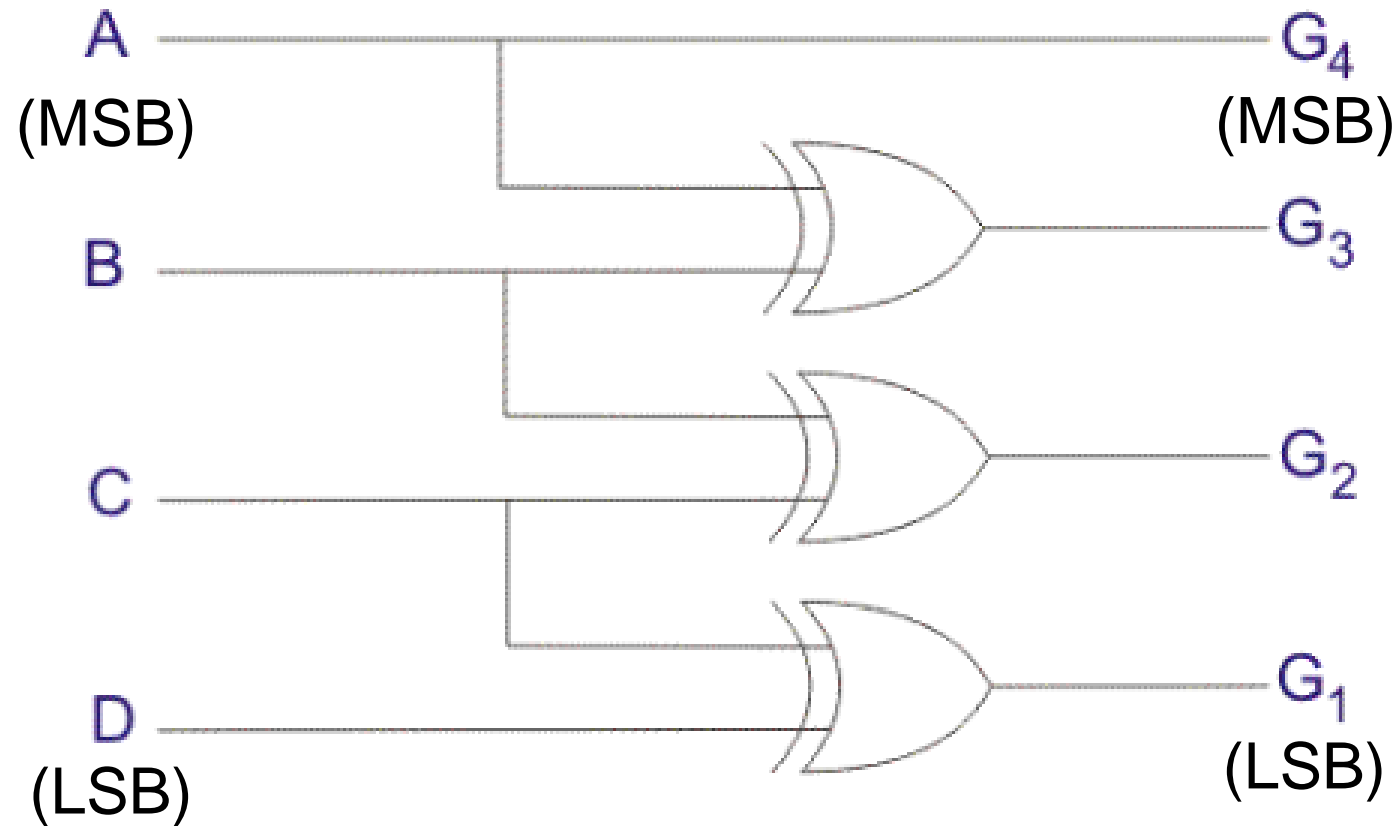
G_1

AB \ CD	00	01	11	10
00		1		1
01		1		1
11		1		1
10		1		1

$$G_1 = \overline{C}D + C\overline{D} = C \oplus D$$

ΔΥΑΔΙΚΟΣ ΚΩΔΙΚΑΣ

ΚΩΔΙΚΑΣ GRAY



ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΗΣ ΤΟΥ ΔΥΑΔΙΚΟΥ ΚΩΔΙΚΑ ΣΕ ΚΩΔΙΚΑ GRAY

ΣΧΕΔΙΑΣΗ ΚΩΔΙΚΟΠΟΙΗΤΗ ΓΙΑ ΤΗ ΜΕΤΑΤΡΟΠΗ ΤΟΥ ΚΩΔΙΚΑ GRAY ΣΕ ΔΥΑΔΙΚΟ ΚΩΔΙΚΑ

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

4 bit Gray Code 4 bit Binary Code

A B C D

B₄ B₃ B₂ B₁

0 0 0 0
0 0 0 1
0 0 1 1
0 0 1 0
0 1 1 0
0 1 1 1
0 1 0 1
0 1 0 0
1 1 0 0
1 1 0 1
1 1 1 1
1 1 1 0
1 0 1 0
1 0 1 1
1 0 0 1
1 0 0 0

0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
1 1 0 1
1 1 1 0
1 1 1 1

B_4

AB \ CD				
	00	01	11	10
00				
01				
11	1	1	1	1
10	1	1	1	1

$$B_4 = A$$

B_3

AB \ CD				
	00	01	11	10
00				
01	1	1	1	1
11				
10	1	1	1	1

$$B_3 = \bar{A}B + A\bar{B} = A \oplus B$$

B_2

AB \ CD	00	01	11	10
00			1	1
01	1	1		
11			1	1
10	1	1		

$$\begin{aligned}
 B_2 &= \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}\overline{B}C + ABC \\
 &= A(\overline{B}\overline{C} + BC) + \overline{A}(\overline{B}C + \overline{B}\overline{C}) \\
 &= A(\overline{B\overline{C}} + \overline{B}C) + \overline{A}(\overline{B}C + \overline{B}\overline{C}) \\
 &= A(\overline{B \oplus C}) + \overline{A}(\overline{B \oplus C}) = A \oplus B \oplus C
 \end{aligned}$$

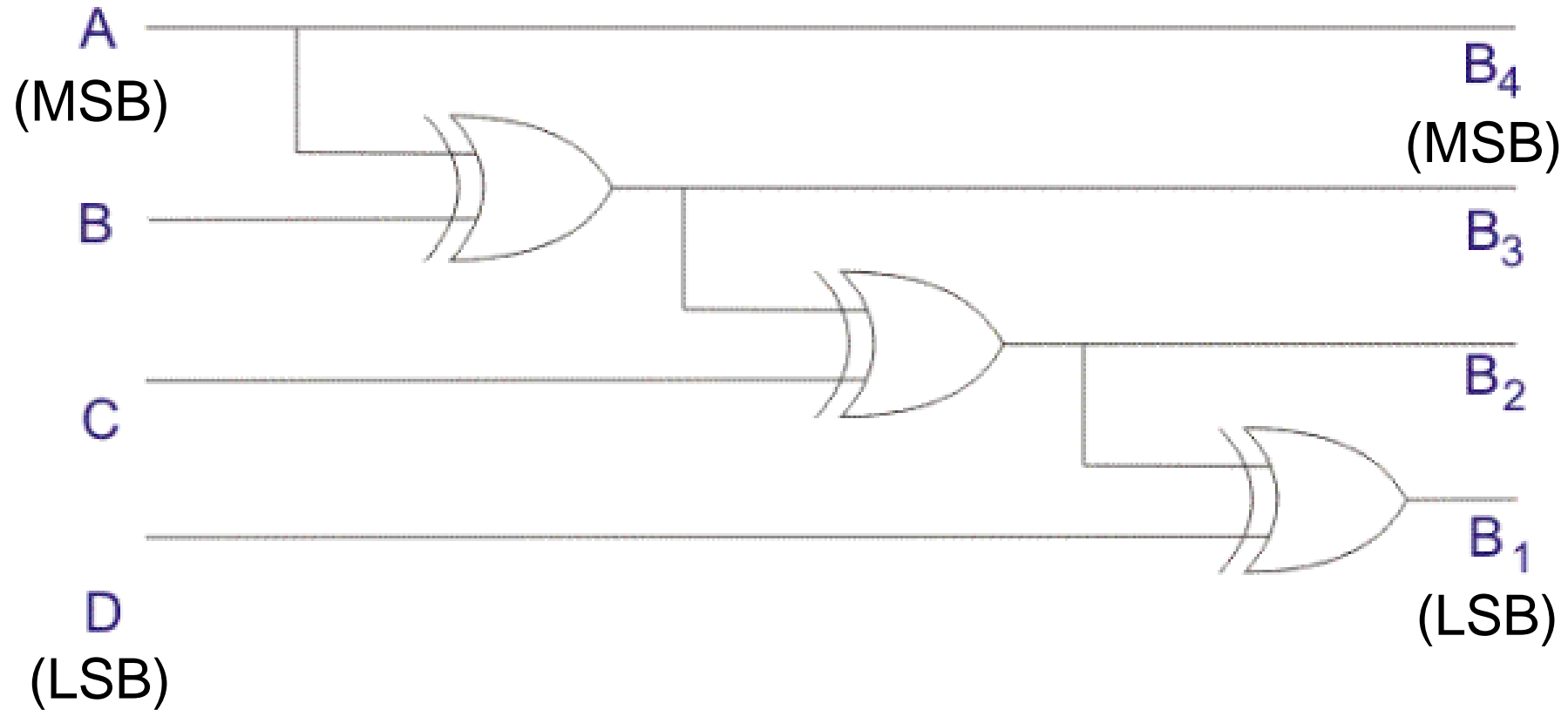
B_1

AB \ CD	00	01	11	10
00		1		1
01	1		1	
11		1		1
10	1		1	

$$\begin{aligned}
 B_1 &= \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} \\
 &\quad + A\overline{B}CD = A \oplus B \oplus C \oplus D
 \end{aligned}$$

ΚΩΔΙΚΑΣ GRAY

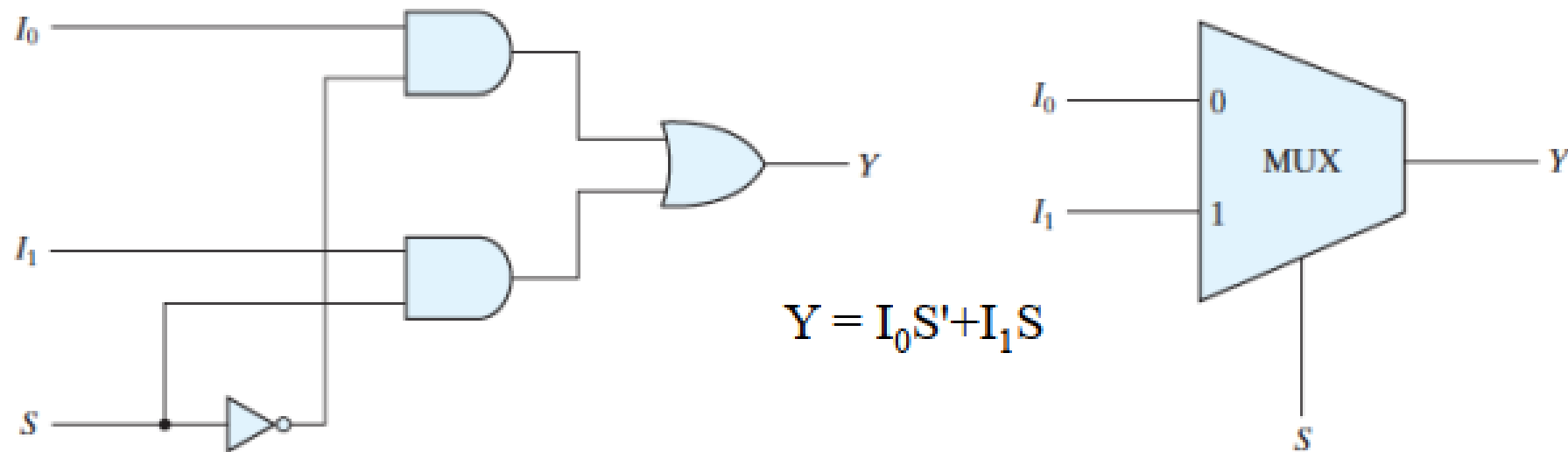
ΔΥΑΔΙΚΟΣ ΚΩΔΙΚΑΣ



ΚΥΚΛΩΜΑ ΜΕΤΑΤΡΟΠΗΣ ΤΟΥ ΚΩΔΙΚΑ GRAY ΣΕ ΔΥΑΔΙΚΟ ΚΩΔΙΚΑ

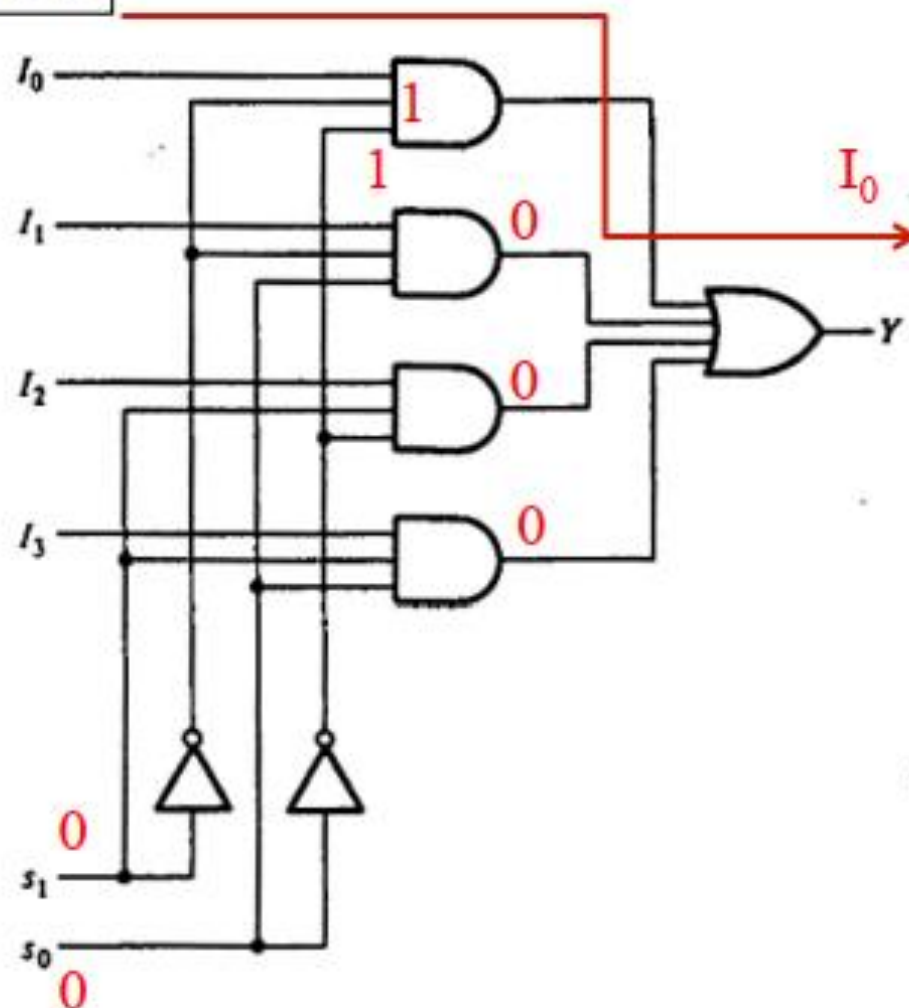
Πολυπλέκτης (Multiplexer)

- Ο πολυπλέκτης **επιλέγει** δυαδικές πληροφορίες από πολλές γραμμές εισόδου και τις κατευθύνει σε **μία γραμμή εξόδου**.
- Η επιλογή της μιας συγκεκριμένης γραμμής εισόδου γίνεται μέσω μερικών **γραμμών επιλογής**.
- Ένας πολυπλέκτης 2^n -σε-1 γραμμή κατασκευάζεται από έναν αποκωδικοποιητή n -σε- 2^n προσθέτοντας σε αυτόν 2^n εισόδους μια για κάθε πύλη ΚΑΙ.



Παράδειγμα

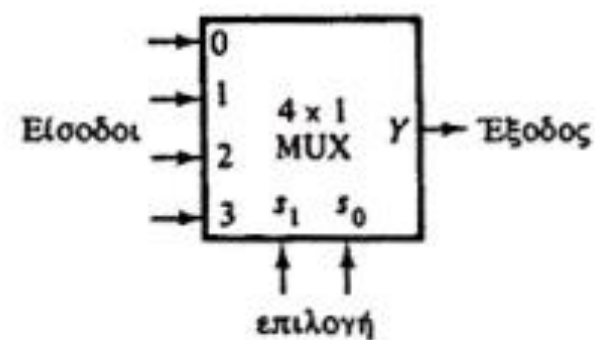
Πολυπλέκτης 4-σε-1



(α) Λογικό διάγραμμα

s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

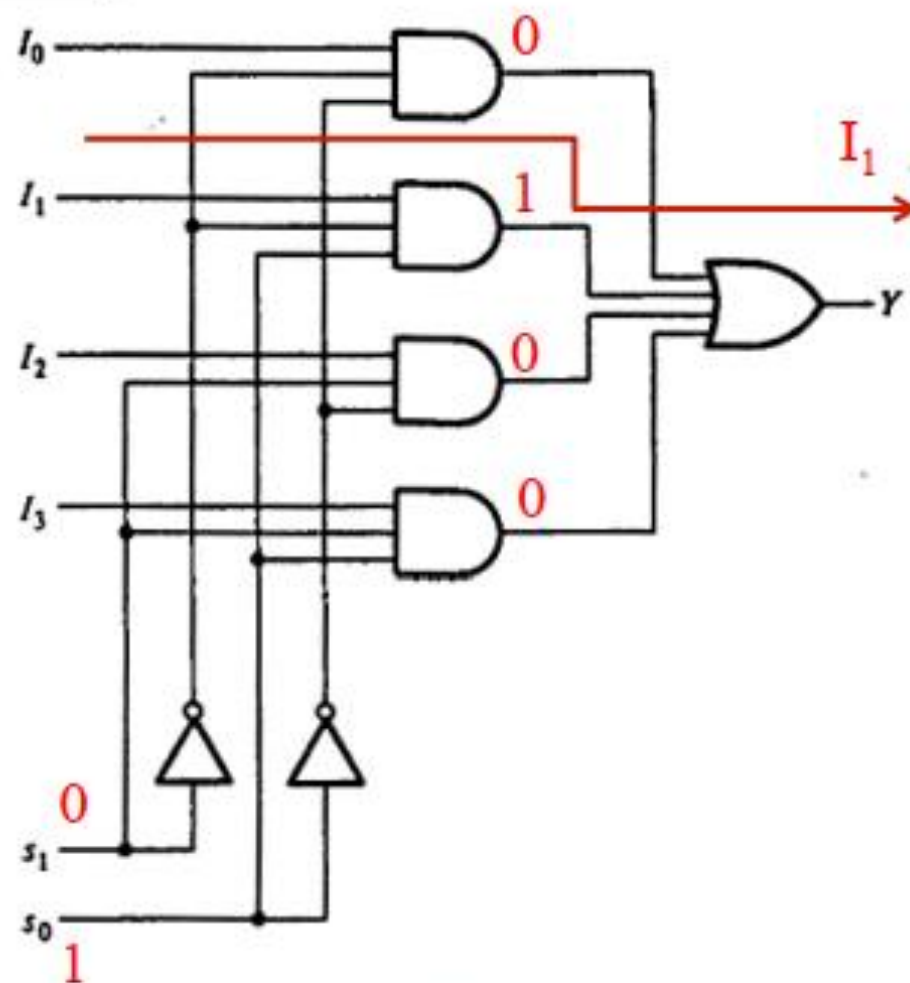
(β) Πίνακας της συνάρτησης



(γ) Σχηματικό διάγραμμα

Παράδειγμα

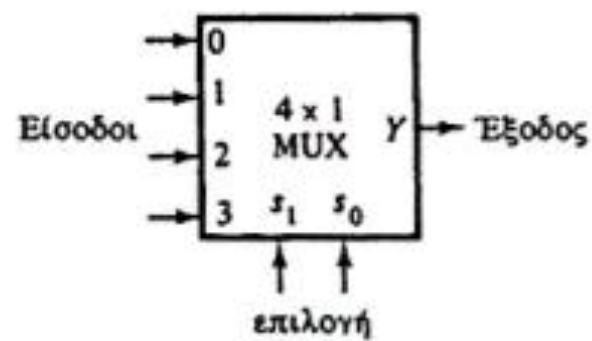
Πολυπλέκτης 4-σε-1



(α) Λογικό διάγραμμα

s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

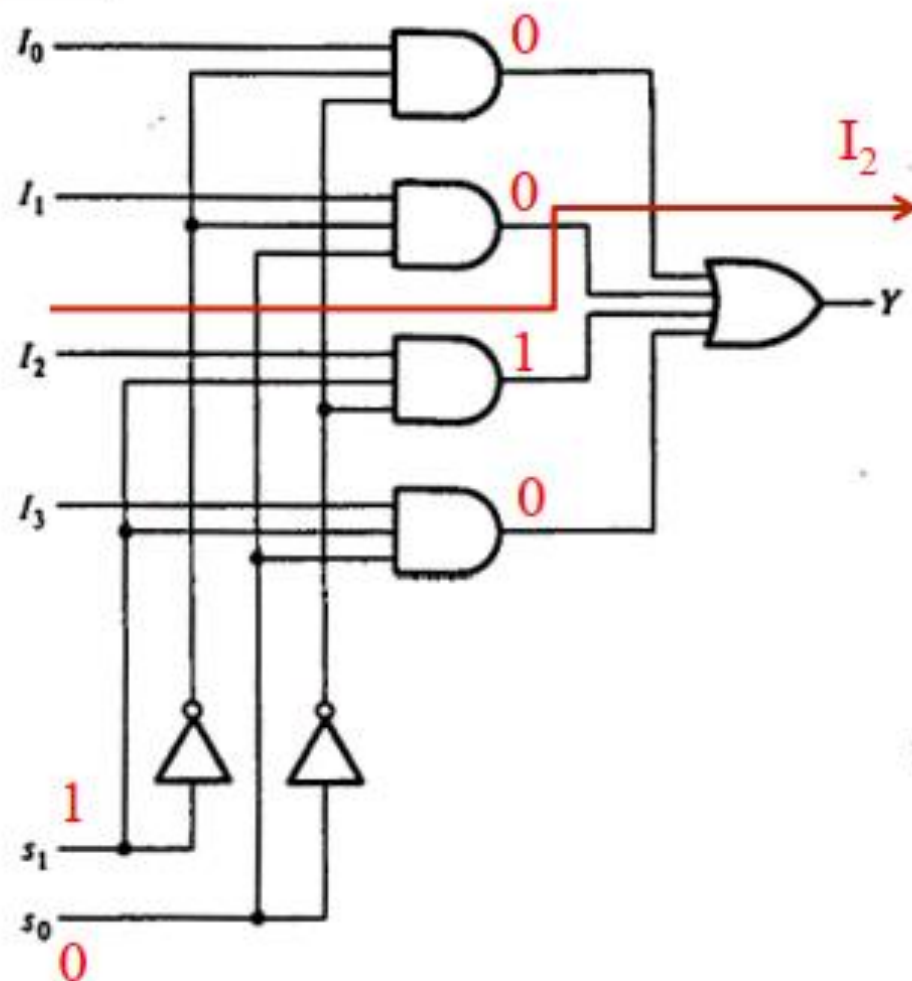
(β) Πίνακας της συνάρτησης



(γ) Σχηματικό διάγραμμα

Παράδειγμα

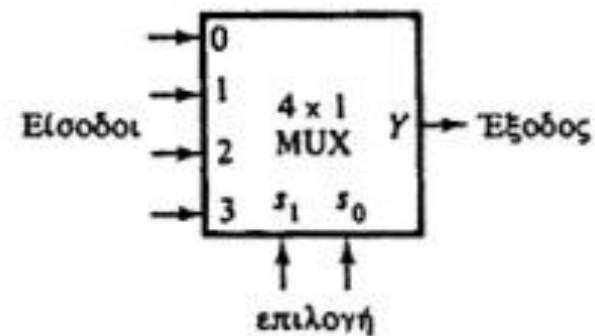
Πολυπλέκτης 4-σε-1



(α) Λογικό διάγραμμα

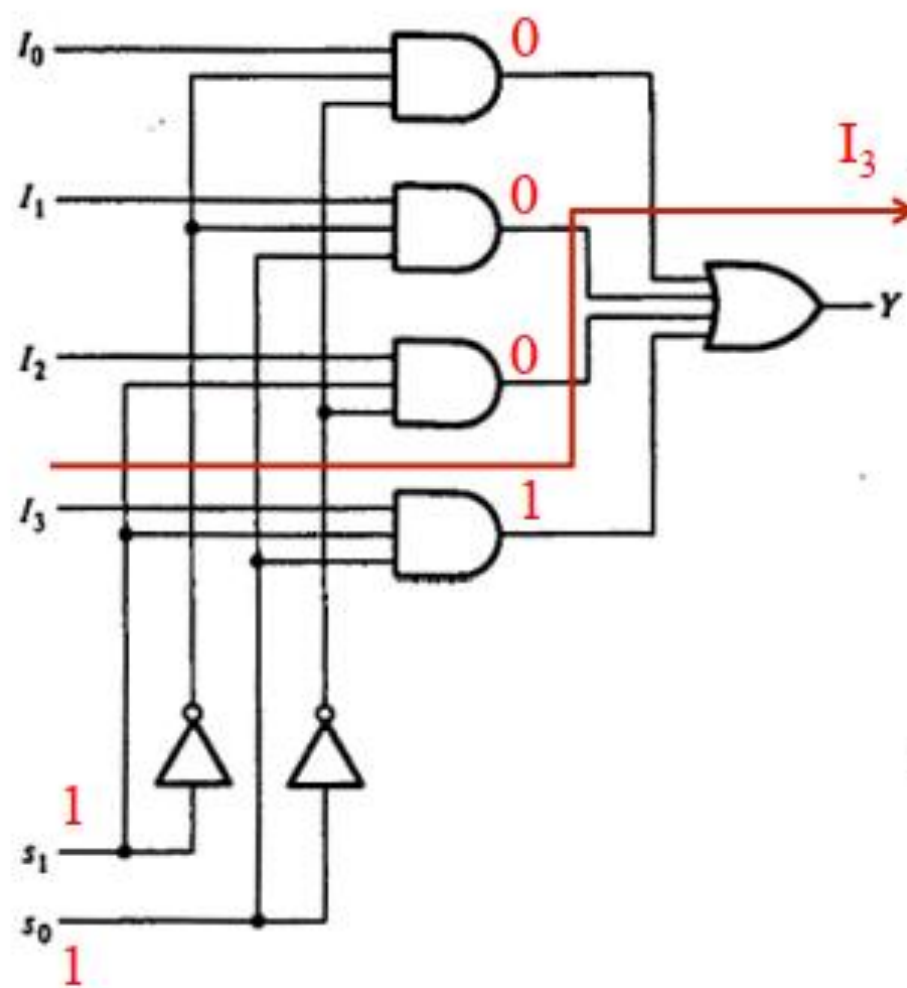
s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

(β) Πίνακας της συνάρτησης



(γ) Σχηματικό διάγραμμα

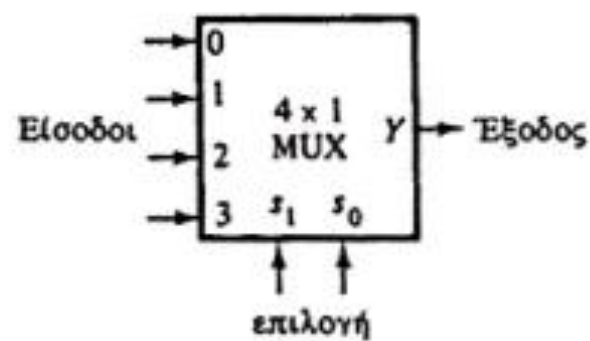
Πολυπλέκτης 4 σε 1



(α) Λογικό διάγραμμα

s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

(β) Πίνακας της συνάρτησης



(γ) Σχηματικό διάγραμμα

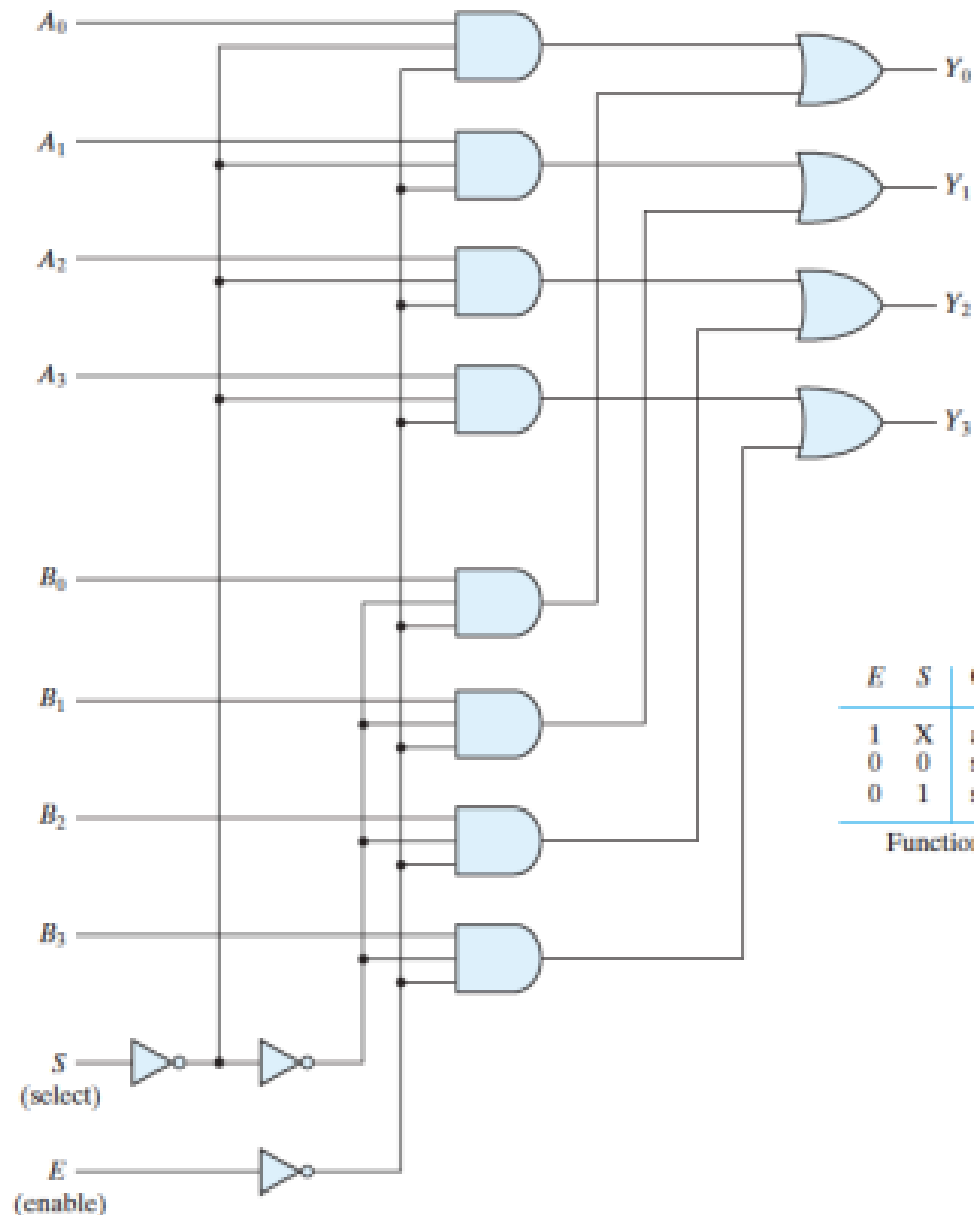
Τετραπλός Πολυπλέκτης 2 σε 1

Η είσοδος Επίτρεψης
(E) τοποθετείται για
λόγους επέκτασης.

Πολυπλέκτης 8-σε-4

ή

4 Πολυπλέκτες 2-σε-1



E	S	Output Y
1	X	all 0's
0	0	select A
0	1	select B

Function table

Υλοποίηση Συνάρτησης Boole με Πολυπλέκτη

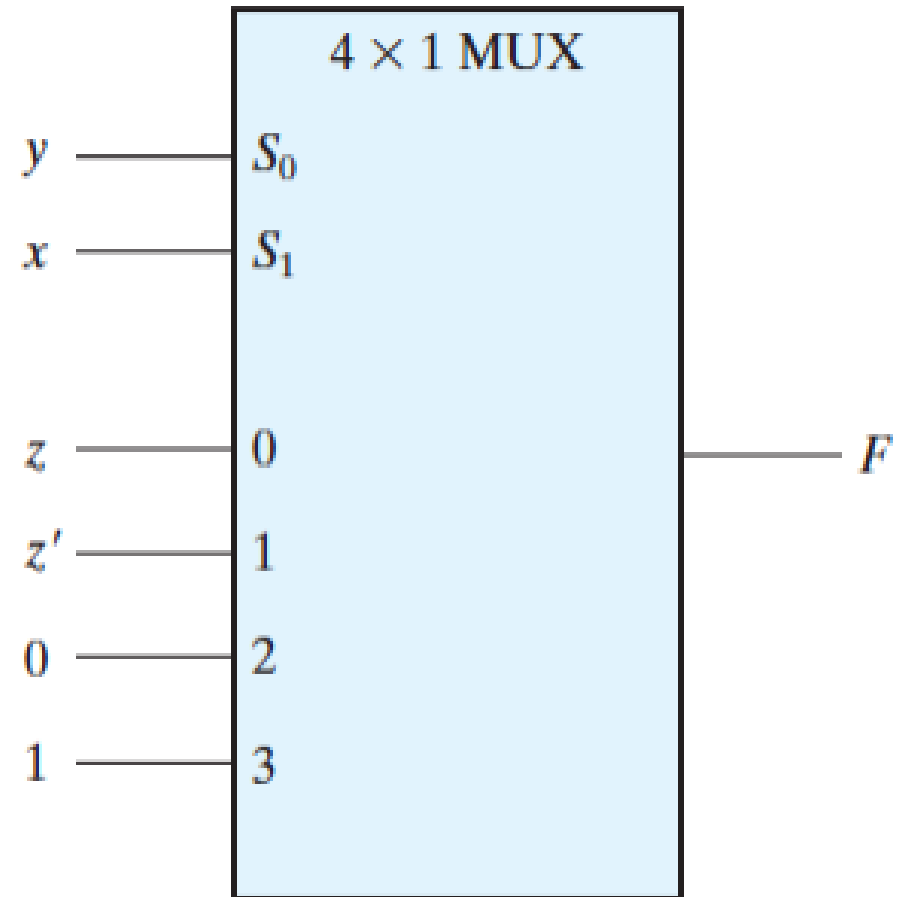
Κάθε πολυπλέκτης 2^n σε 1 μπορεί να υλοποιήσει οποιαδήποτε συνάρτηση $n+1$ μεταβλητών ως εξής:

1. Βάζουμε τις n μεταβλητές στις εισόδους επιλογής.
2. Χρησιμοποιούμε την τελευταία μεταβλητή για τις εισόδους.

Παράδειγμα 1

$$F(x, y, z) = \Sigma(1, 2, 6, 7)$$

x	y	z	F	
0	0	0	0	$F = z$
0	0	1	1	
0	1	0	1	$F = z'$
0	1	1	0	
1	0	0	0	$F = 0$
1	0	1	0	
1	1	0	1	$F = 1$
1	1	1	1	

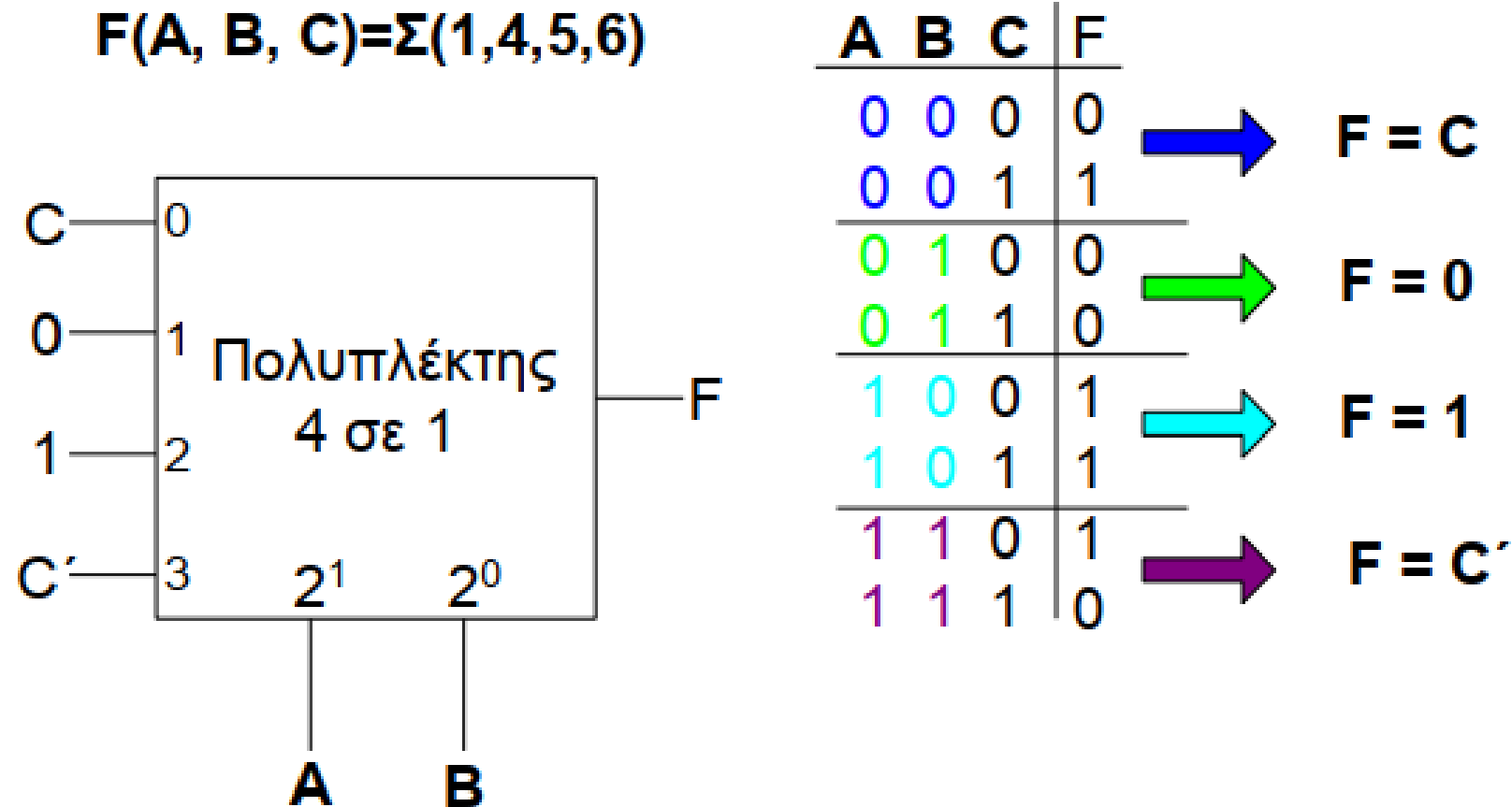


Υλοποίηση Συναρτήσεων Boole

Αλγόριθμος υλοποίησης συνάρτησης με χρήση πολυπλέκτη:

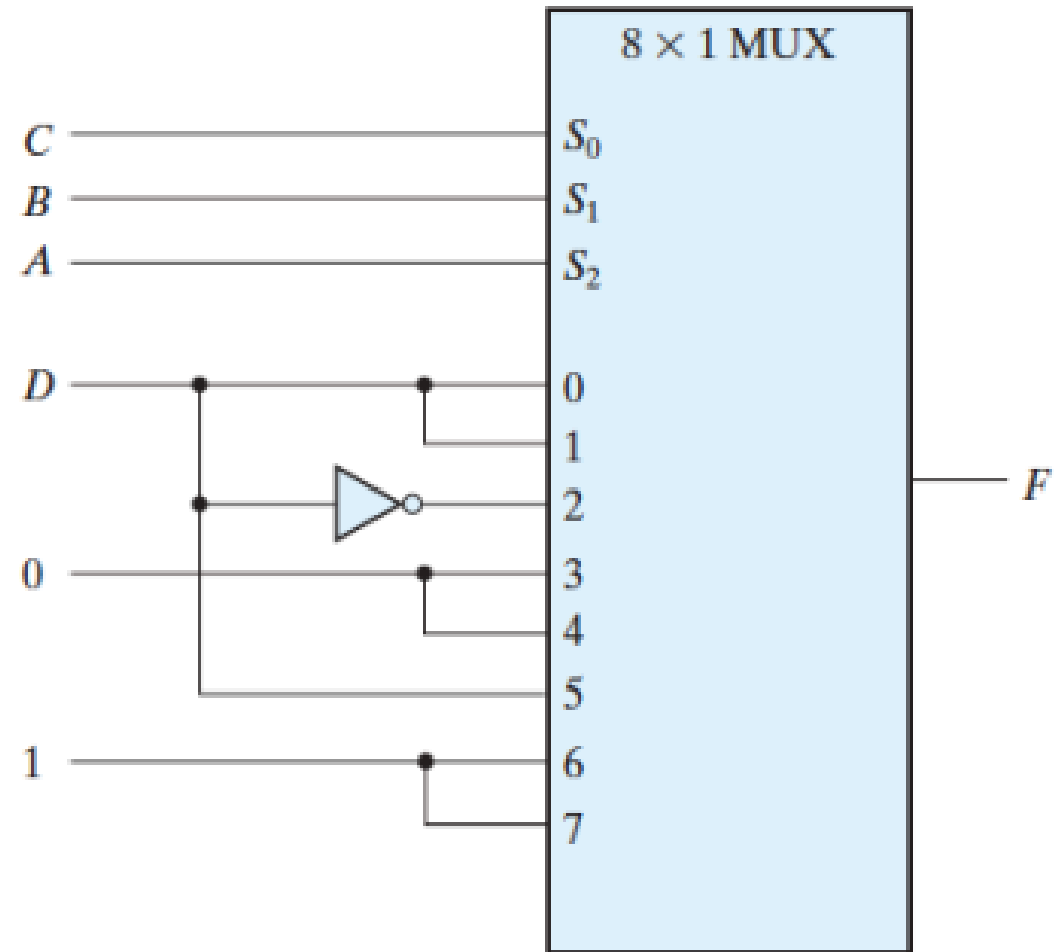
1. Εκφράζουμε τη συνάρτηση σε άθροισμα ελαχιστόρων.
 2. Συνδέουμε τις $n - 1$ μεταβλητές στις γραμμές επιλογής και κρατάμε την αριστερότερη (πιο σημαντική) έστω A .
 3. Καταγράφουμε τις εισόδους του πολυπλέκτη και κάτω από αυτές όλους τους ελαχιστόρους σε δύο σειρές (αντίστοιχα για $A=0$ και $A=1$).
 4. Σημειώνουμε τους ελαχιστόρους που έχει η συνάρτηση.
 5. Σε κάθε στήλη βάζουμε 0 αν δεν έχει σημειωθεί ελαχιστόρος, 1 αν έχουν σημειωθεί και οι δύο, A' αν έχει σημειωθεί ο πάνω και A αν έχει σημειωθεί ο κάτω ελαχιστόρος.
-

Παράδειγμα



Παράδειγμα

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>	
0	0	0	0	0	$F = D$
0	0	0	1	1	
0	0	1	0	0	$F = D$
0	0	1	1	1	
0	1	0	0	1	$F = D'$
0	1	0	1	0	
0	1	1	0	0	$F = 0$
0	1	1	1	0	
1	0	0	0	0	$F = 0$
1	0	0	1	0	
1	0	1	0	0	$F = D$
1	0	1	1	1	
1	1	0	0	1	$F = 1$
1	1	0	1	1	
1	1	1	0	1	$F = 1$
1	1	1	1	1	

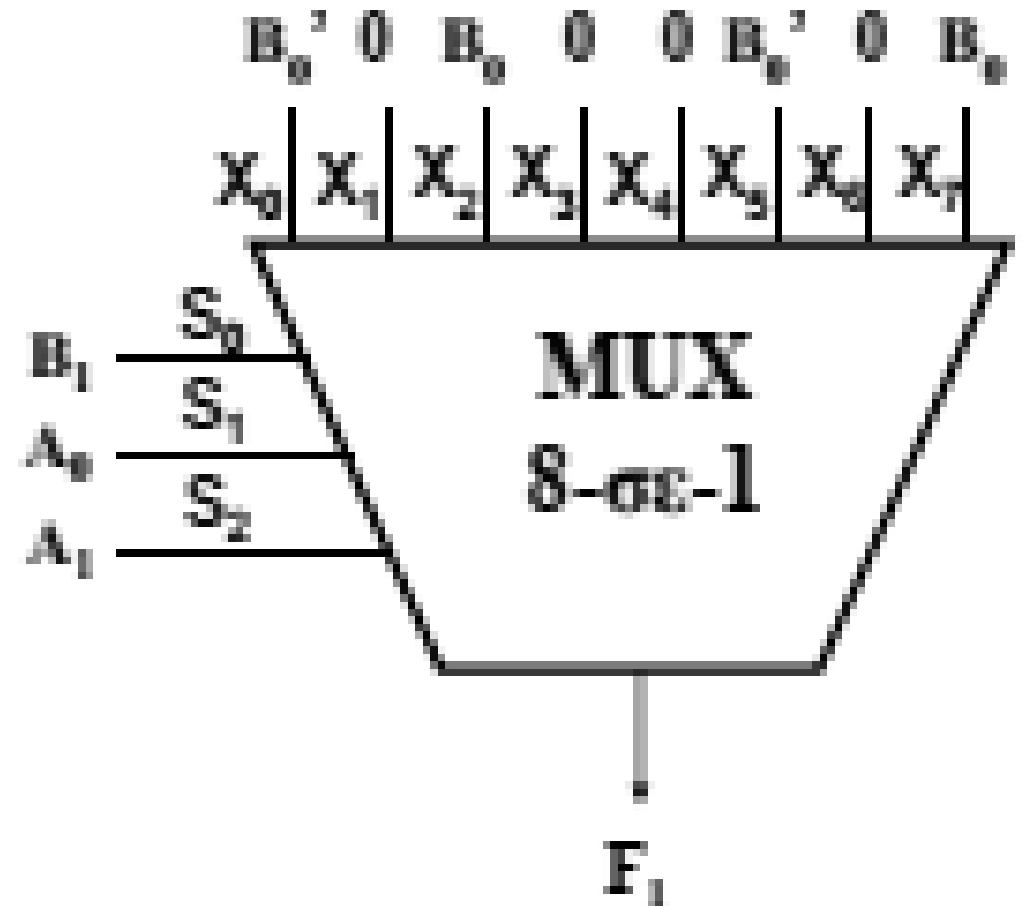


**ΠΑΡΑΔΕΙΓΜΑ ΥΛΟΠΟΙΗΣΗΣ ΕΝΟΣ ΣΥΓΚΡΙΤΗ ΔΥΟ ΛΕΞΕΩΝ, ΜΕ ΔΥΟ ΒΙΤ ΑΝΑ ΛΕΞΗ,
ΜΕ ΠΟΛΥΠΛΕΚΤΗ 8 ΣΕ 1**

F1=1 ΟΤΑΝ (A1A0)=(B1B0), F2=1 ΟΤΑΝ (A1A0)<(B1B0), F3=1 ΟΤΑΝ (A1A0)>(B1B0)

A ₁ A ₀ B ₁ B ₀	F ₁	F ₂	F ₃
0 0 0 0	1	0	0
0 0 0 1	0	1	0
0 0 1 0	0	1	0
0 0 1 1	0	1	0
0 1 0 0	0	0	1
0 1 0 1	1	0	0
0 1 1 0	0	1	0
0 1 1 1	0	1	0

A ₁ A ₀ B ₁ B ₀	F ₁	F ₂	F ₃
1 0 0 0	0	0	1
1 0 0 1	0	0	1
1 0 1 0	1	0	0
1 0 1 1	0	1	0
1 1 0 0	0	0	1
1 1 0 1	0	0	1
1 1 1 0	0	0	1
1 1 1 1	1	0	0



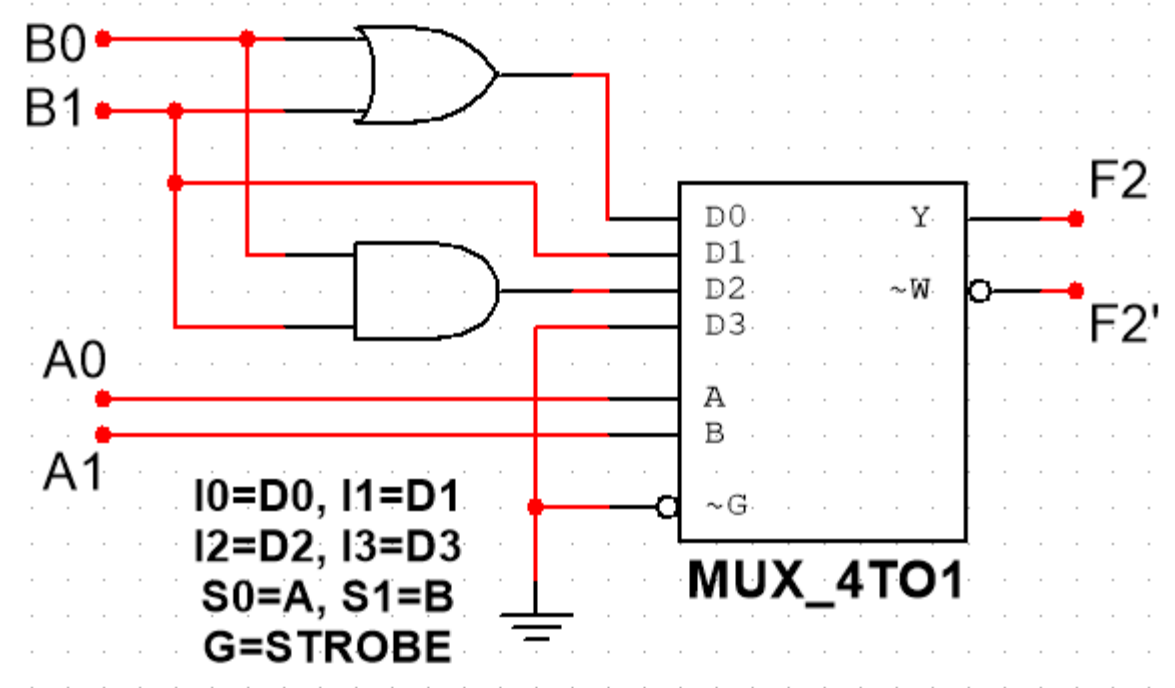
**ΠΑΡΑΔΕΙΓΜΑ ΥΛΟΠΟΙΗΣΗΣ ΕΝΟΣ ΣΥΓΚΡΙΤΗ ΔΥΟ ΛΕΞΕΩΝ, ΜΕ ΔΥΟ ΒΙΤ ΑΝΑ ΛΕΞΗ,
ΜΕ ΠΟΛΥΠΛΕΚΤΗ 4 ΣΕ 1**

F1=1 ΟΤΑΝ (A1A0)=(B1B0), F2=1 ΟΤΑΝ (A1A0)<(B1B0), F3=1 ΟΤΑΝ (A1A0)>(B1B0)

F2(A1,A0,B1,B0) = m1 + m2 + m3 + m6 + m7 + m11 (A1: MSB , B0: LSB)

F3(A1,A0,B1,B0) = m4 + m8 + m9 + m12 + m13 + m14 (A1: MSB , B0: LSB)

SELECTS	S1'·S0'	S1'·S0	S1·S0'	S1·S0
	A1'·A0'	A1'·A0	A1·A0'	A1·A0
B1'·B0'	0	0	0	0
B1'·B0	1	0	0	0
B1·B0'	1	1	0	0
B1·B0	1	1	1	0
INPUTS	I0	I1	I2	I3
	B1+B0	B1	B1·B0	0
ΒΟΗΘΗΤΙΚΟΣ ΠΙΝΑΚΑΣ ΠΟΛΥΠΛΕΚΤΗ ΓΙΑ ΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ F2				



**ΠΑΡΑΔΕΙΓΜΑ ΥΛΟΠΟΙΗΣΗΣ ΕΝΟΣ ΣΥΓΚΡΙΤΗ ΔΥΟ ΛΕΞΕΩΝ, ΜΕ ΔΥΟ ΒΙΤ ΑΝΑ ΛΕΞΗ,
ΜΕ ΠΟΛΥΠΛΕΚΤΗ 4 ΣΕ 1**

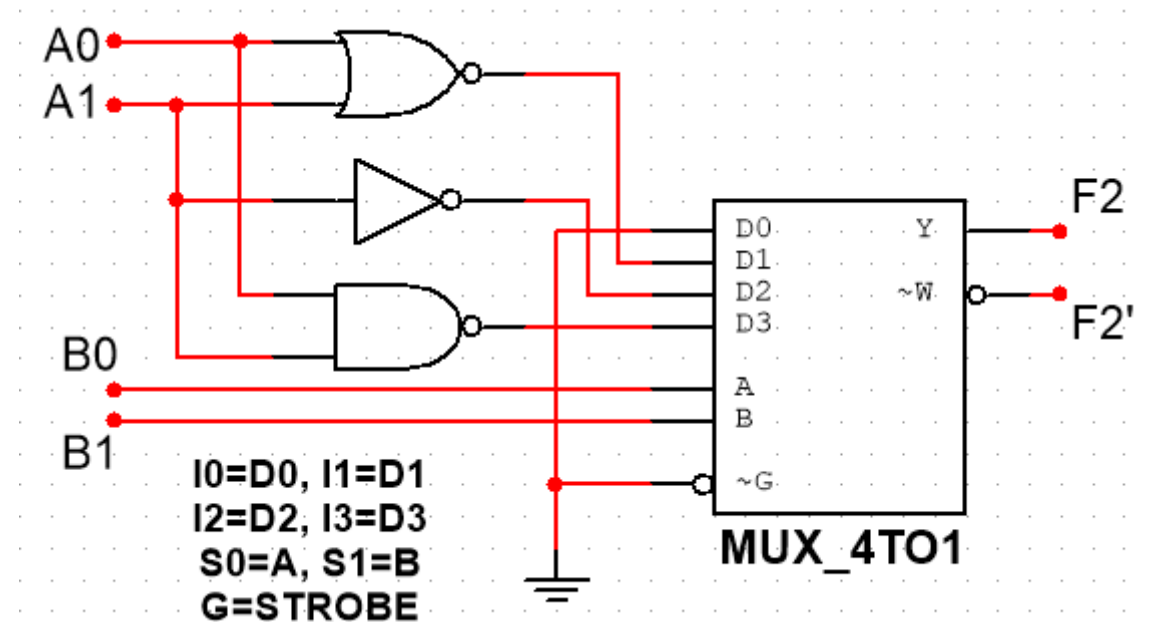
F1=1 ΟΤΑΝ (A1A0)=(B1B0), F2=1 ΟΤΑΝ (A1A0)<(B1B0), F3=1 ΟΤΑΝ (A1A0)>(B1B0)

F2(A1,A0,B1,B0) = m1 + m2 + m3 + m6 + m7 + m11 (A1: MSB , B0: LSB)

F3(A1,A0,B1,B0) = m4 + m8 + m9 + m12 + m13 + m14 (A1: MSB , B0: LSB)

SELECTS	S1'·S0'	S1'·S0	S1·S0'	S1·S0
	B1'·B0'	B1'·B0	B1·B0'	B1·B0
A1'·A0'	0	1	1	1
A1'·A0	0	0	1	1
A1·A0'	0	0	0	1
A1·A0	0	0	0	0
INPUTS	I0	I1	I2	I3
	0	(A1+A0)'	A1'	(A1·A0)'

ΒΟΗΘΗΤΙΚΟΣ ΠΙΝΑΚΑΣ ΠΟΛΥΠΛΕΚΤΗ
ΓΙΑ ΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ F2



**ΠΑΡΑΔΕΙΓΜΑ ΥΛΟΠΟΙΗΣΗΣ ΕΝΟΣ ΣΥΓΚΡΙΤΗ ΔΥΟ ΛΕΞΕΩΝ, ΜΕ ΔΥΟ ΒΙΤ ΑΝΑ ΛΕΞΗ,
ΜΕ ΠΟΛΥΠΛΕΚΤΗ 4 ΣΕ 1**

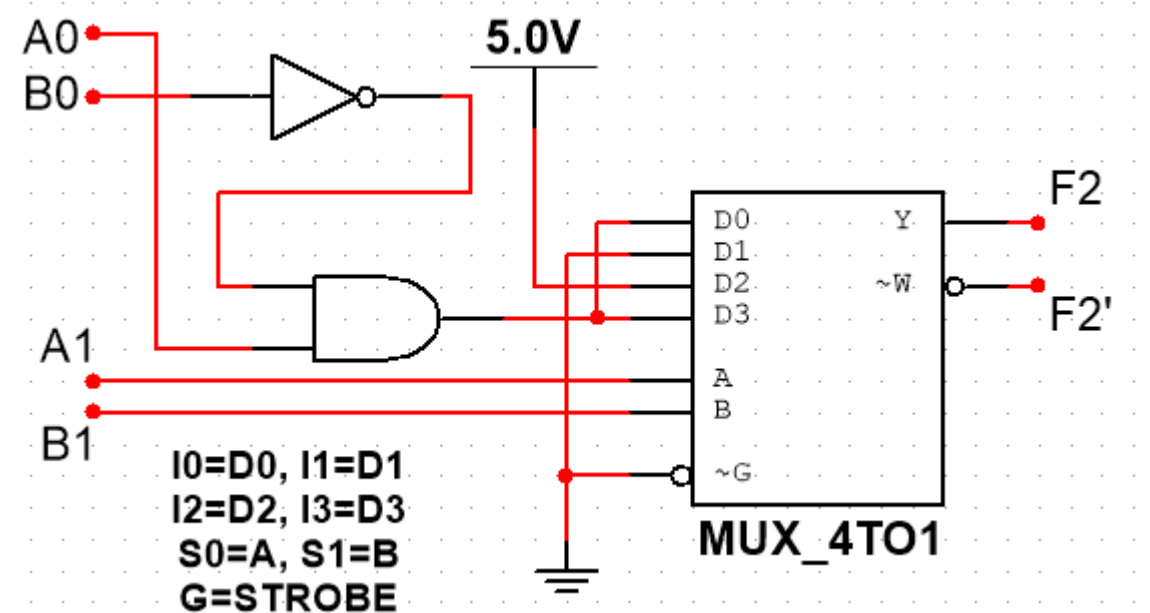
F1=1 ΟΤΑΝ (A1A0)=(B1B0), F2=1 ΟΤΑΝ (A1A0)<(B1B0), F3=1 ΟΤΑΝ (A1A0)>(B1B0)

F2(A1,A0,B1,B0) = m1 + m2 + m3 + m6 + m7 + m11 (A1: MSB , B0: LSB)

F3(A1,A0,B1,B0) = m4 + m8 + m9 + m12 + m13 + m14 (A1: MSB , B0: LSB)

SELECTS	S1'·S0'	S1'·S0	S1·S0'	S1·S0
	A1'·B1'	A1'·B1	A1·B1'	A1·B1
A0'·B0'	0	0	1	0
A0'·B0	0	0	1	0
A0·B0'	1	0	1	1
A0·B0	0	0	1	0
INPUTS	I0	I1	I2	I3
	A0·B0'	0	1	A0·B0'

ΒΟΗΘΗΤΙΚΟΣ ΠΙΝΑΚΑΣ ΠΟΛΥΠΛΕΚΤΗ
ΓΙΑ ΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ F3



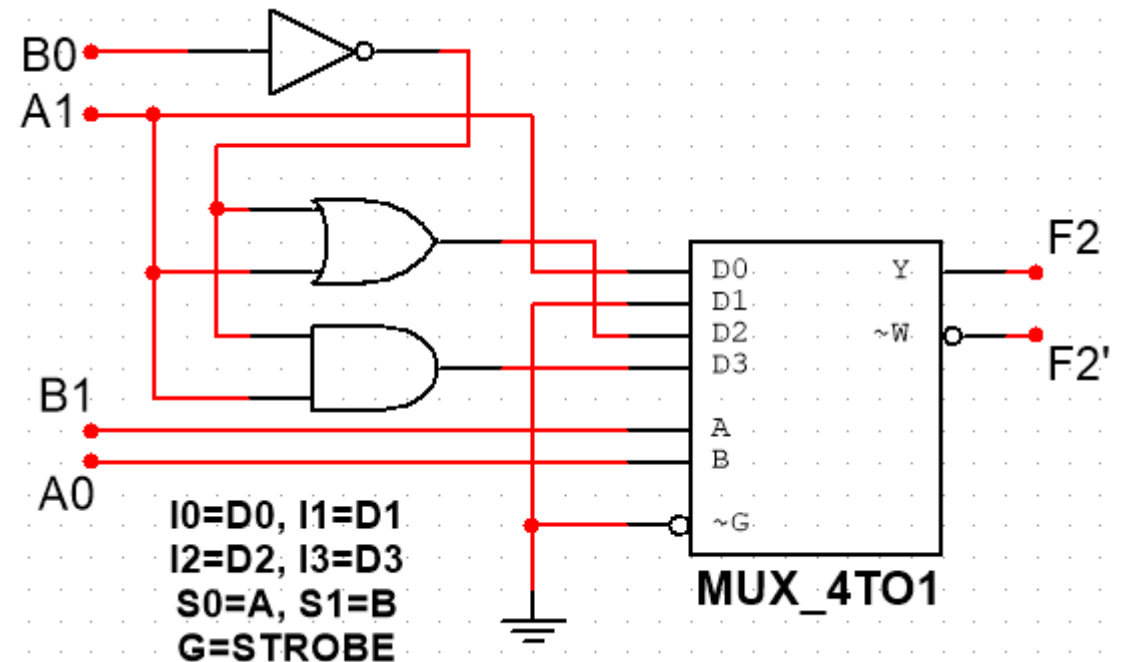
**ΠΑΡΑΔΕΙΓΜΑ ΥΛΟΠΟΙΗΣΗΣ ΕΝΟΣ ΣΥΓΚΡΙΤΗ ΔΥΟ ΛΕΞΕΩΝ, ΜΕ ΔΥΟ BIT ΑΝΑ ΛΕΞΗ,
ΜΕ ΠΟΛΥΠΛΕΚΤΗ 4 ΣΕ 1**

F1=1 ΟΤΑΝ (A1A0)=(B1B0), F2=1 ΟΤΑΝ (A1A0)<(B1B0), F3=1 ΟΤΑΝ (A1A0)>(B1B0)

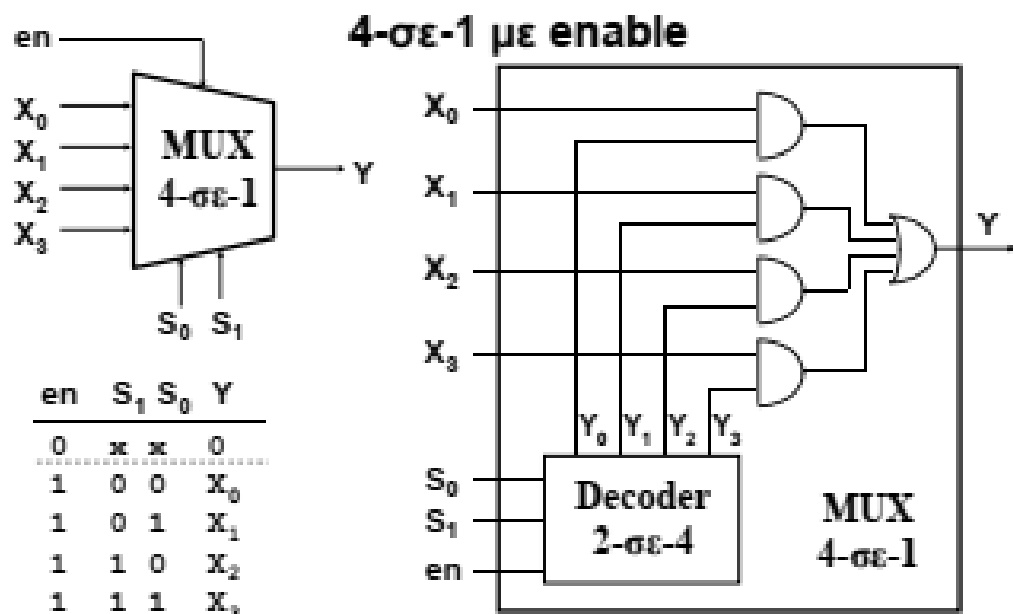
F2(A1,A0,B1,B0) = m1 + m2 + m3 + m6 + m7 + m11 (A1: MSB , B0: LSB)

F3(A1,A0,B1,B0) = m4 + m8 + m9 + m12 + m13 + m14 (A1: MSB , B0: LSB)

SELECTS	S1'·S0'	S1'·S0	S1·S0'	S1·S0
	A0'·B1'	A0'·B1	A0·B1'	A0·B1
A1'·B0'	0	0	1	0
A1'·B0	0	0	0	0
A1·B0'	1	0	1	1
A1·B0	1	0	1	0
INPUTS	I0	I1	I2	I3
	A1	0	A1+B0'	A1·B0'
ΒΟΗΘΗΤΙΚΟΣ ΠΙΝΑΚΑΣ ΠΟΛΥΠΛΕΚΤΗ ΓΙΑ ΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΗΣ ΣΥΝΑΡΤΗΣΗΣ F3				

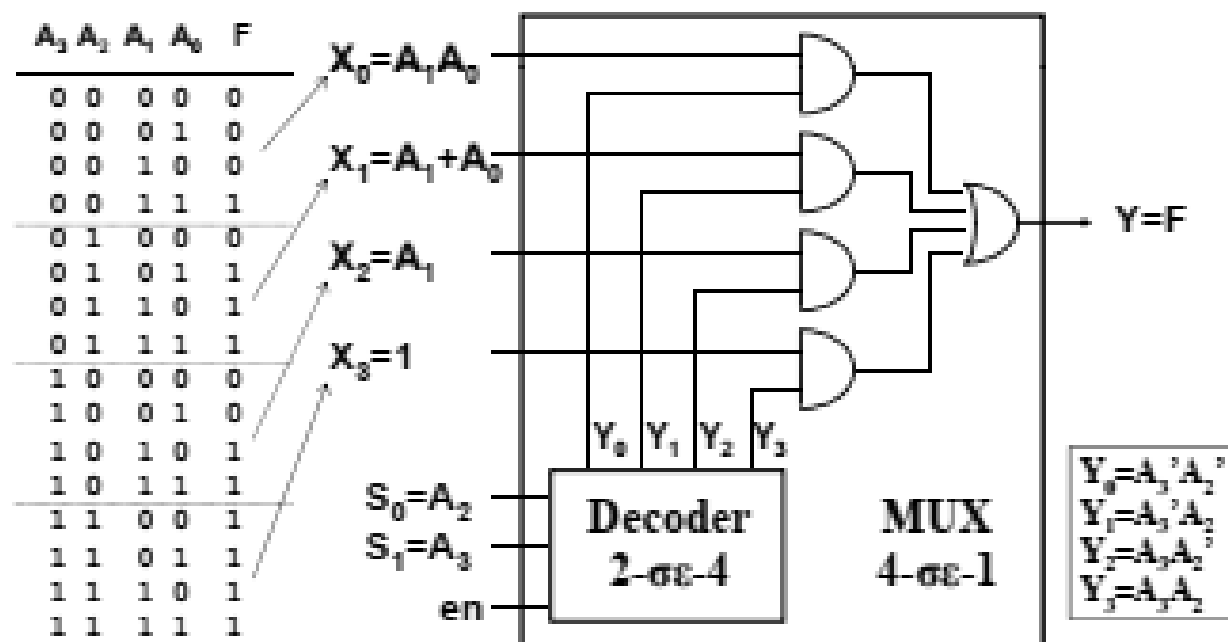


Πολυπλέκτης (Multiplexer)



Ο πολυπλέκτης κρύβει μέσα του
ένα δυαδικό αποκωδικοποιητή

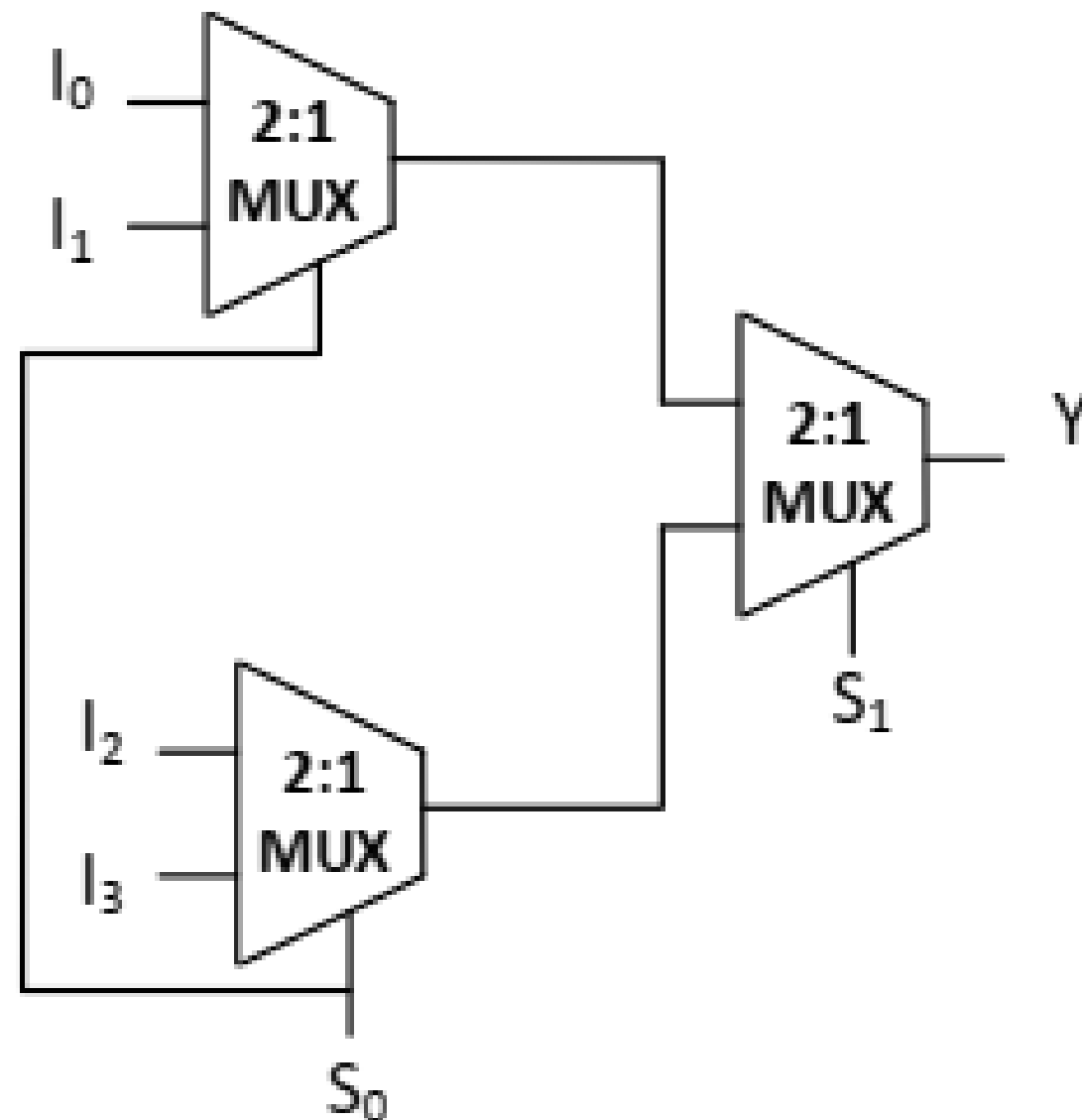
Υλοποίηση συνάρτησης 4 μεταβλητών με πολυπλέκτη 4X1

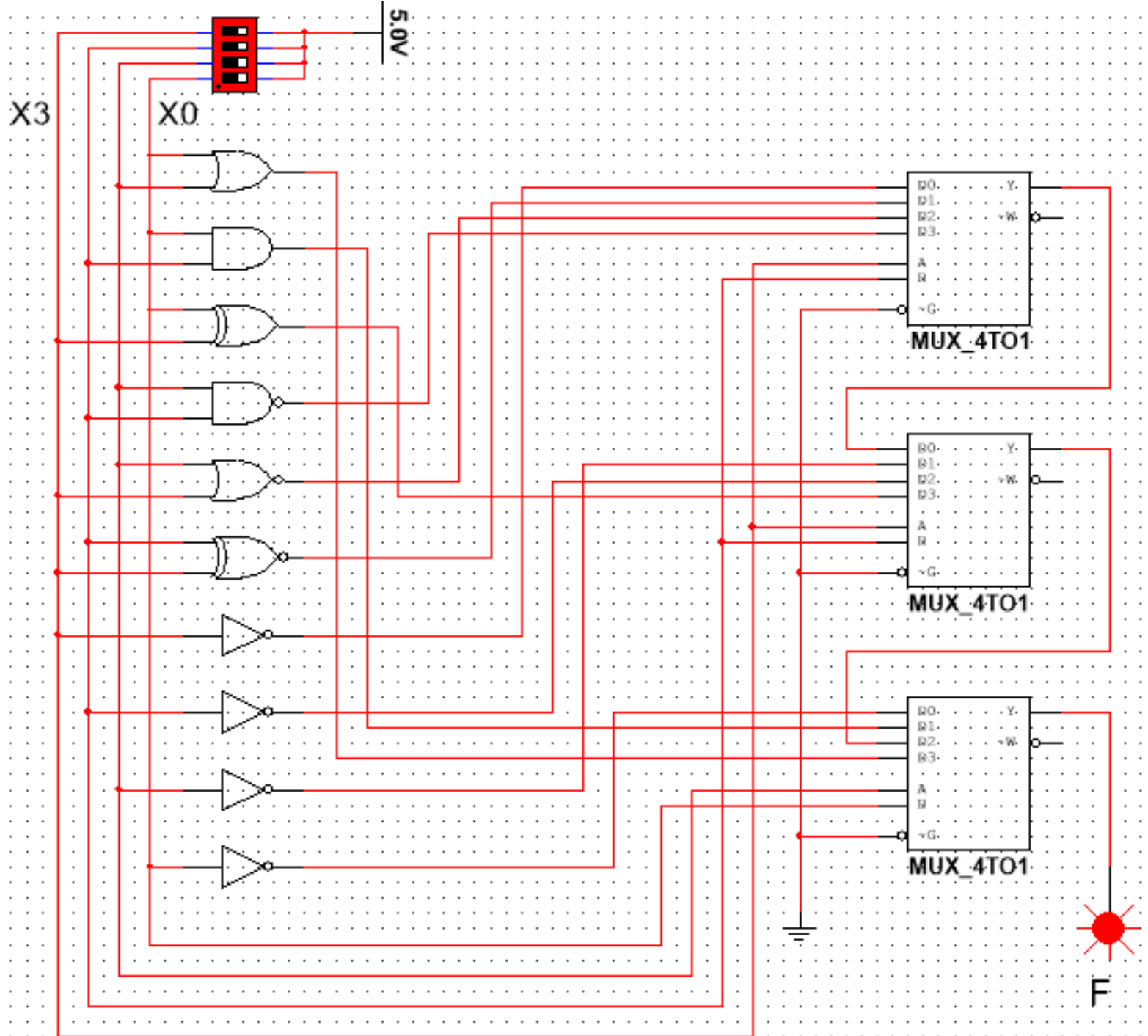


ΥΛΟΠΟΙΗΣΗ ΕΝΟΣ ΠΟΛΥΠΛΕΚΤΗ 4 ΣΕ 1
ΜΕ ΔΥΟ ΠΟΛΥΠΛΕΚΤΕΣ 2 ΣΕ 1

Είσοδοι	Είσοδοι επιλογής		Έξοδος
	S_1	S_0	
I_0	0	0	I_0
I_1	0	1	I_1
I_2	1	0	I_2
I_3	1	1	I_3

$$Y = I_0 S_1' S_0' + I_1 S_1' S_0 + I_2 S_1 S_0' + I_3 S_1 S_0$$





ΑΣΚΗΣΗ

ΔΙΝΕΤΑΙ ΤΟ ΚΥΚΛΩΜΑ ΤΟΥ ΔΙΠΛΑΝΟΥ
ΣΧΗΜΑΤΟΣ ΚΑΙ ΖΗΤΟΥΝΤΑΙ :

- 1) Ο ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ
- 2) Η ΣΥΝΑΡΤΗΣΗ $F(X_3, X_2, X_1, X_0)$ ΣΕ
ΜΟΡΦΗ ΑΘΡΟΙΣΜΑΤΟΣ ΓΙΝΟΜΕΝΩΝ
- 3) Η ΣΥΝΑΡΤΗΣΗ $F(X_3, X_2, X_1, X_0)$ ΣΕ
ΜΟΡΦΗ ΓΙΝΟΜΕΝΟΥ ΑΘΡΟΙΣΜΑΤΩΝ

$X_0 = \text{LSB}$, $X_3 = \text{MSB}$, $S_0 = A$, $S_1 = B$

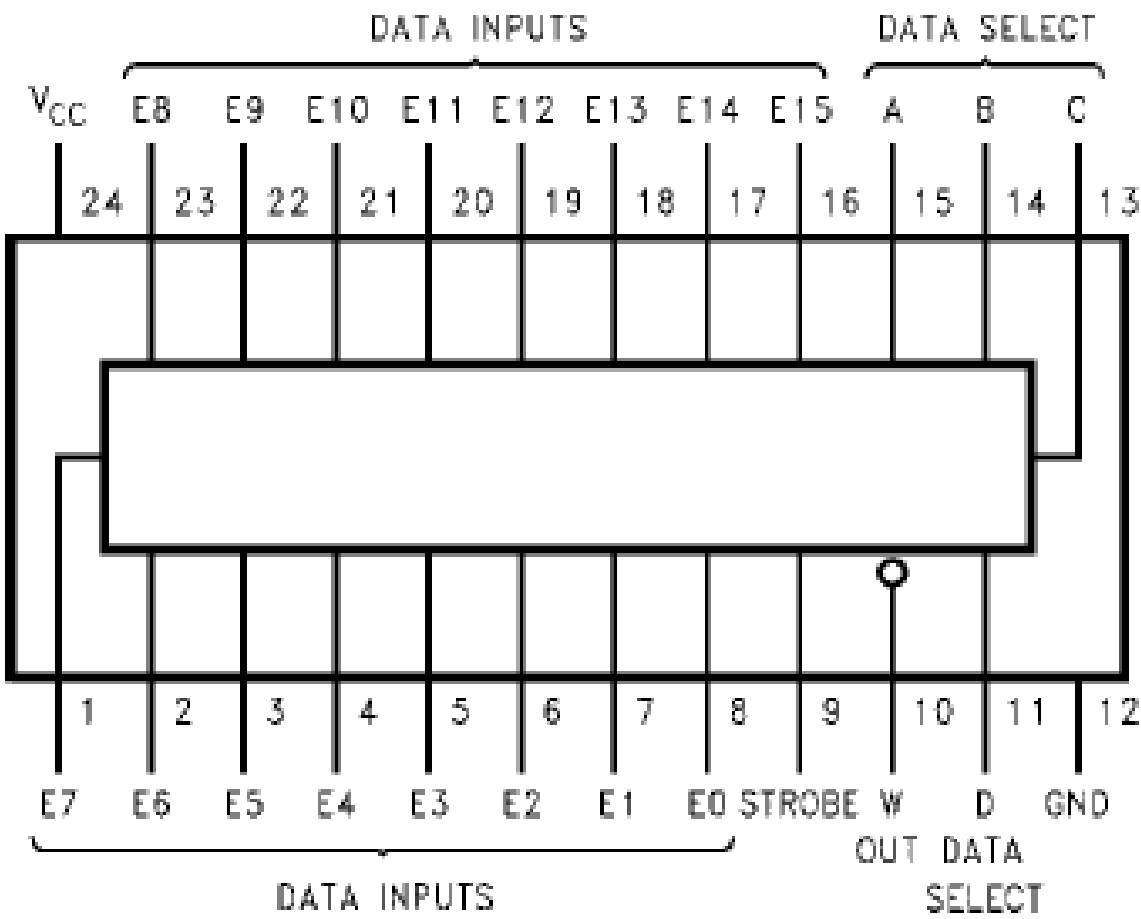
$I_0 = D_0$, $I_1 = D_1$, $I_2 = D_2$, $I_3 = D_3$

Function Table

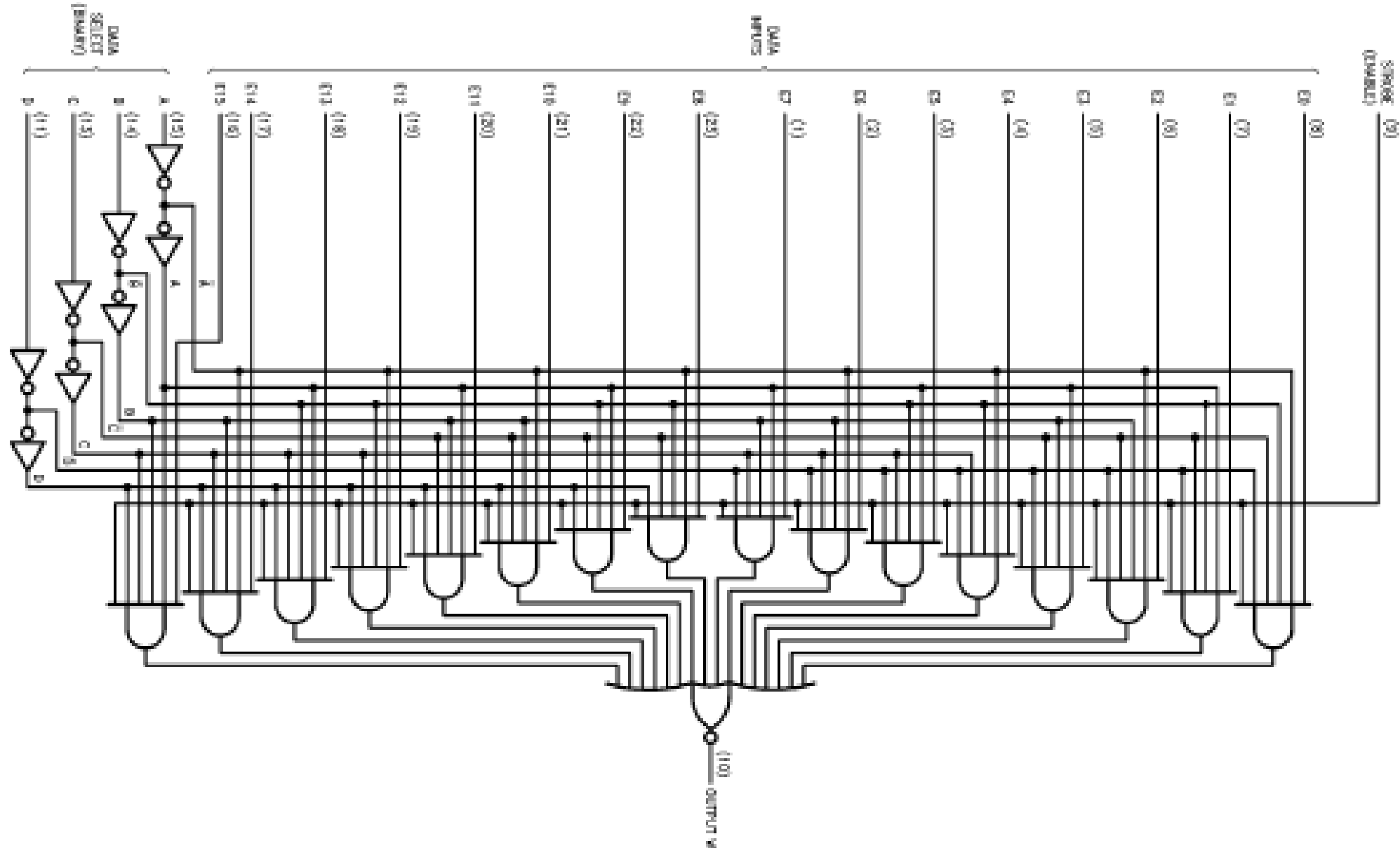
74LS150 ΠΟΛΥΠΛΕΚΤΗΣ 16 ΣΕ 1
ΜΕ ΕΙΣΟΔΟ ΕΠΙΤΡΕΨΗΣ
ΚΑΙ ΑΡΝΗΤΙΚΗΣ ΛΟΓΙΚΗΣ ΕΞΟΔΟ

Inputs					Outputs W
Select				Strobe S	
D	C	B	A		
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

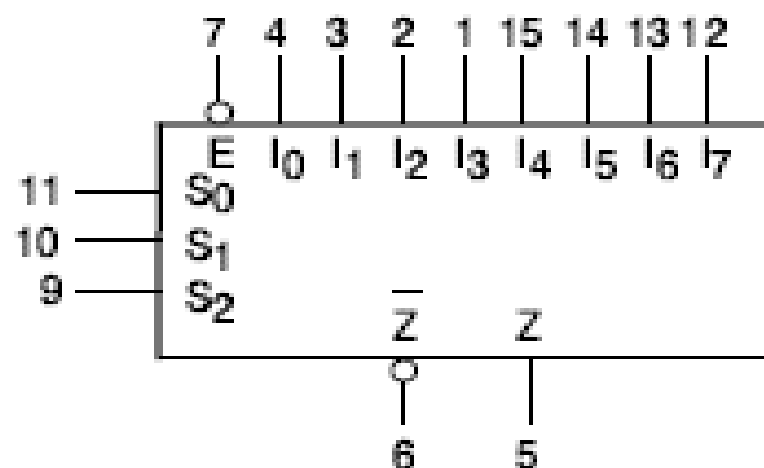
Connection Diagram



ΛΟΓΙΚΟ ΚΥΚΛΩΜΑ ΤΟΥ 74LS150 – ΠΟΛΥΠΛΕΚΤΗΣ 16 ΣΕ 1 ΜΕ ΕΙΣΟΔΟ ΕΠΙΤΡΕΨΗΣ ΚΑΙ ΑΡΝΗΤΙΚΗΣ ΛΟΓΙΚΗΣ ΕΞΟΔΟ



ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΟΥ ΚΥΚΛΩΜΑΤΟΣ 74LS151

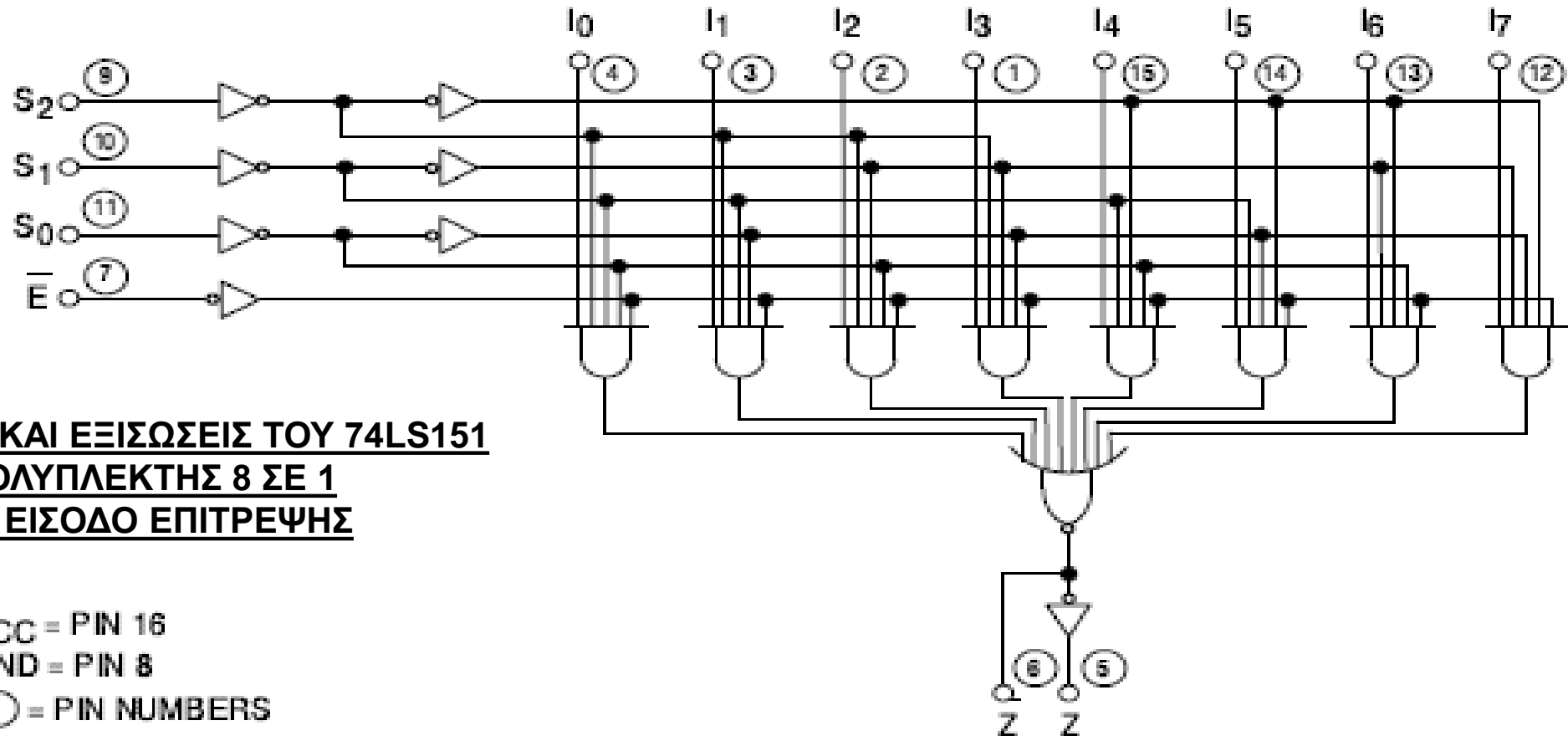


ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ 74LS151
ΠΟΛΥΠΛΕΚΤΗΣ 8 ΣΕ 1
ΜΕ ΕΙΣΟΔΟ ΕΠΙΤΡΕΨΗΣ

TRUTH TABLE

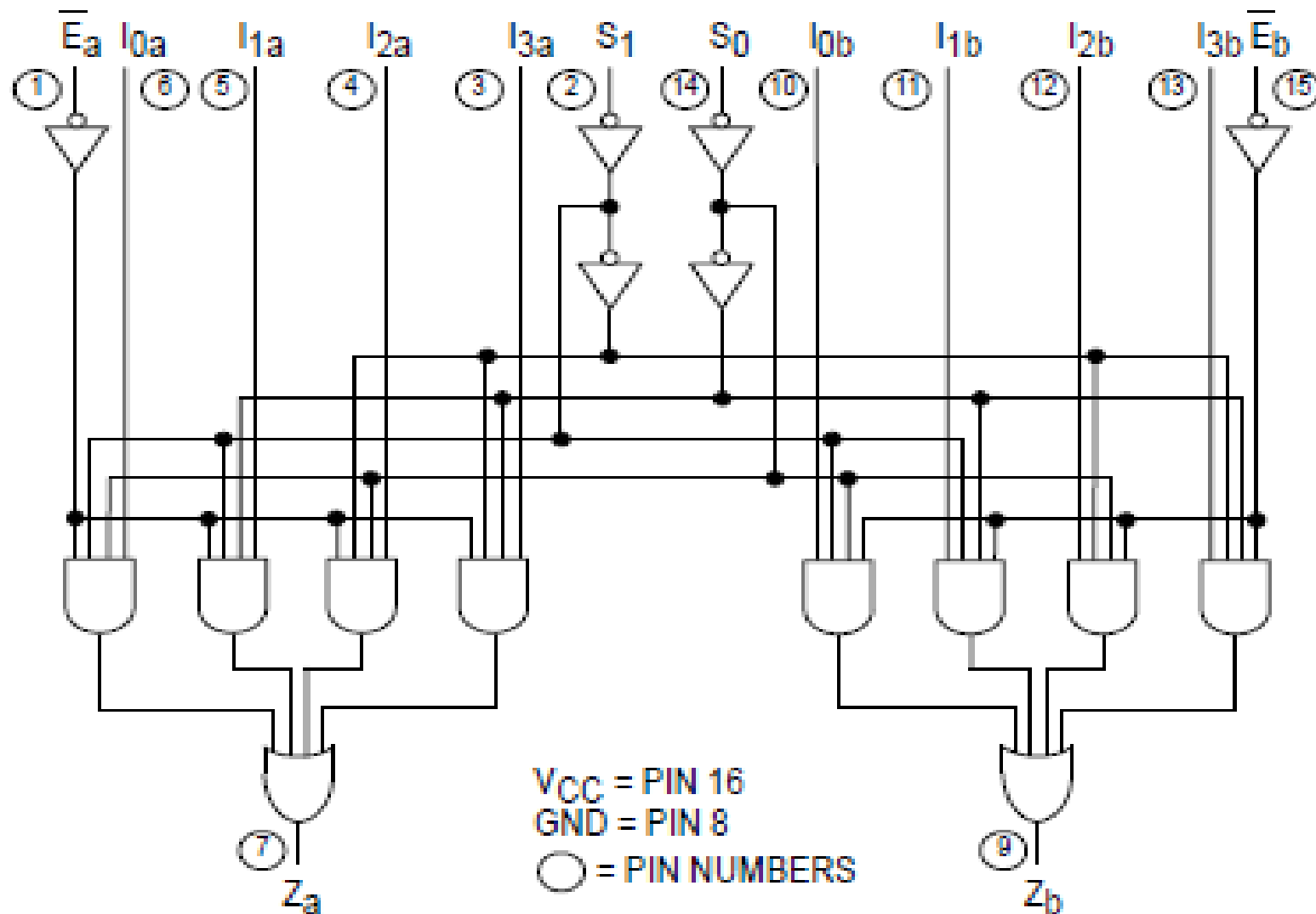
E	S ₂	S ₁	S ₀	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	\bar{Z}	Z
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care



$$Z = \bar{E} \cdot (I_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_1 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + I_3 \cdot S_0 \cdot S_1 \cdot S_2 + I_4 \cdot S_0 \cdot S_1 \cdot S_2 + I_5 \cdot S_0 \cdot S_1 \cdot S_2 + I_6 \cdot S_0 \cdot S_1 \cdot S_2 + I_7 \cdot S_0 \cdot S_1 \cdot S_2).$$

ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ 74LS153
ΔΙΠΛΟΣ ΠΟΛΥΠΛΕΚΤΗΣ 4 ΣΕ 1

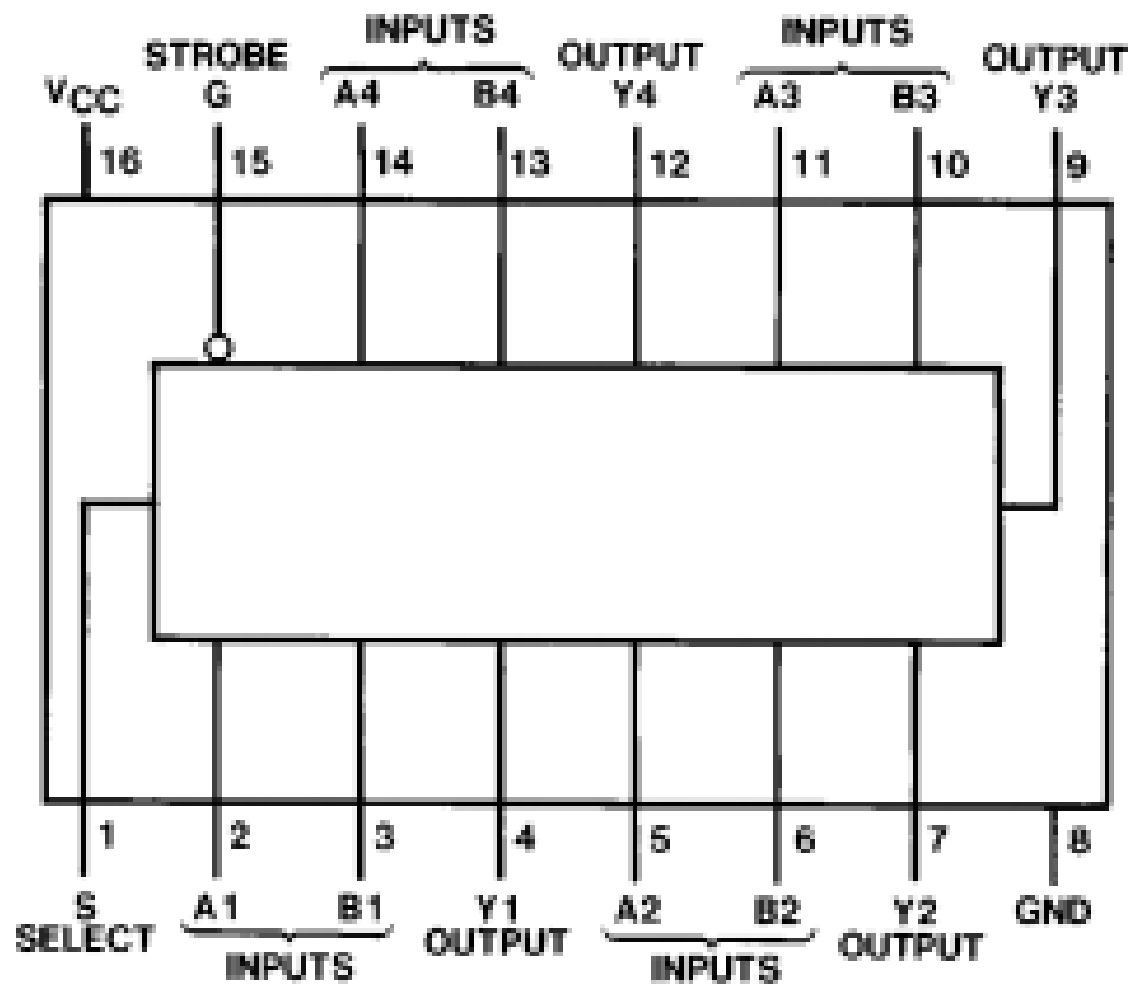


ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΚΑΙ ΕΞΙΣΩΣΕΙΣ ΤΟΥ
ΟΛΟΚΛΗΡΩΜΕΝΟΥ ΚΥΚΛΩΜΑΤΟΣ 74LS153

SELECT INPUTS		INPUTS (a or b)					OUTPUT
S ₀	S ₁	E	I ₀	I ₁	I ₂	I ₃	Z
X	X	H	X	X	X	X	L
L	L	L	L	X	X	X	L
L	L	L	H	X	X	X	H
H	L	L	X	L	X	X	L
H	L	L	X	H	X	X	H
L	H	L	X	X	L	X	L
L	H	L	X	X	H	X	H
H	H	L	X	X	X	L	L
H	H	L	X	X	X	H	H

$$Z_a = \overline{E}_a \cdot (I_{0a} \cdot \overline{S}_1 \cdot \overline{S}_0 + I_{1a} \cdot \overline{S}_1 \cdot S_0 + I_{2a} \cdot S_1 \cdot \overline{S}_0 + I_{3a} \cdot S_1 \cdot S_0)$$

$$Z_b = \overline{E}_b \cdot (I_{0b} \cdot \overline{S}_1 \cdot \overline{S}_0 + I_{1b} \cdot \overline{S}_1 \cdot S_0 + I_{2b} \cdot S_1 \cdot \overline{S}_0 + I_{3b} \cdot S_1 \cdot S_0)$$

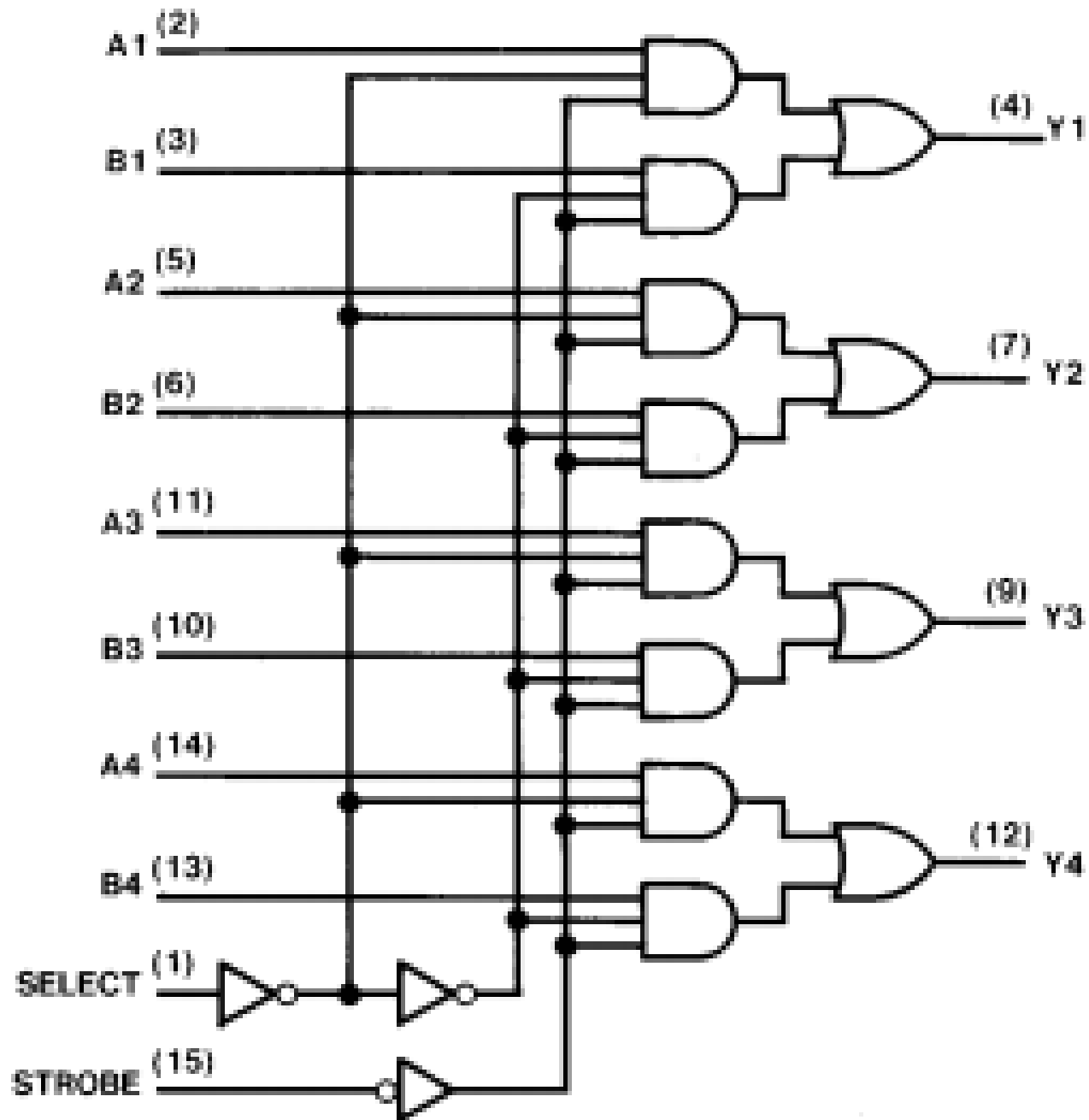


ΟΛΟΚΛΡΩΜΕΝΟ ΚΥΚΛΩΜΑ 74LS157 ΤΕΤΡΑΠΛΟΣ ΠΟΛΥΠΛΕΚΤΗΣ 2 ΣΕ 1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

Inputs				Output Y
Strobe	Select	A	B	
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = High Level, L = Low Level, X = Don't Care

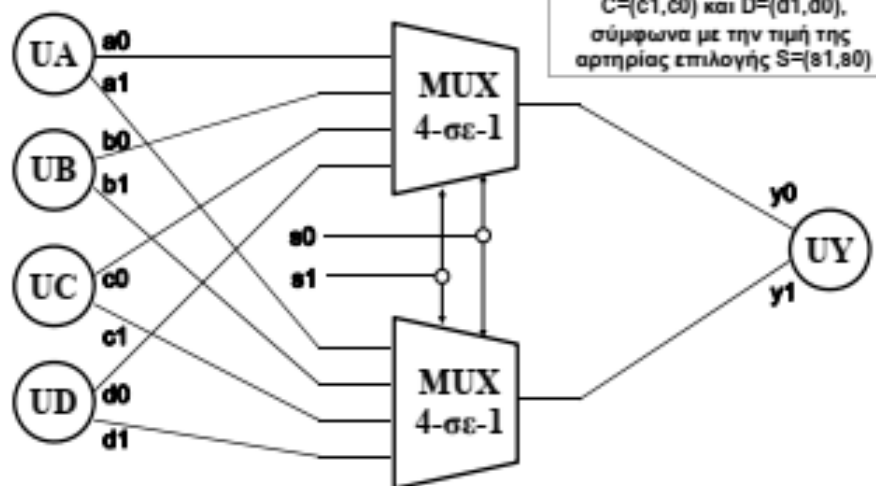


ΟΛΟΚΛΡΩΜΕΝΟ ΚΥΚΛΩΜΑ 74LS157 ΤΕΤΡΑΠΛΟΣ ΠΟΛΥΠΛΕΚΤΗΣ 2 ΣΕ 1

$$\begin{aligned}
 Y_1 &= A_1 \cdot S' \cdot G' + B_1 \cdot S \cdot G' \\
 Y_2 &= A_2 \cdot S' \cdot G' + B_2 \cdot S \cdot G' \\
 Y_3 &= A_3 \cdot S' \cdot G' + B_3 \cdot S \cdot G' \\
 Y_4 &= A_4 \cdot S' \cdot G' + B_4 \cdot S \cdot G'
 \end{aligned}$$

SELECT → S
STROBE → G

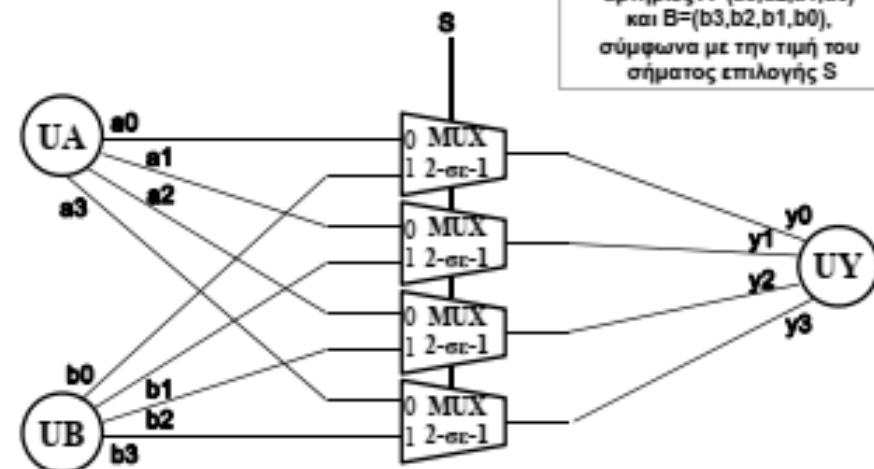
Διασύνδεση Μονάδων 2 X 4-to-1 Multiplexers



Κατοχή της 2-ψήφιας αρτηρίας $Y=(y1, y0)$ από μόνο μία από τις 4 μονάδες UA, UB, UC και UD, που αντίστοιχα παράγουν τις αρτηρίες $A=(a1, a0)$, $B=(b1, b0)$, $C=(c1, c0)$ και $D=(d1, d0)$, σύμφωνα με την τιμή της αρτηρίας επιλογής $S=(s1, s0)$

74LS153

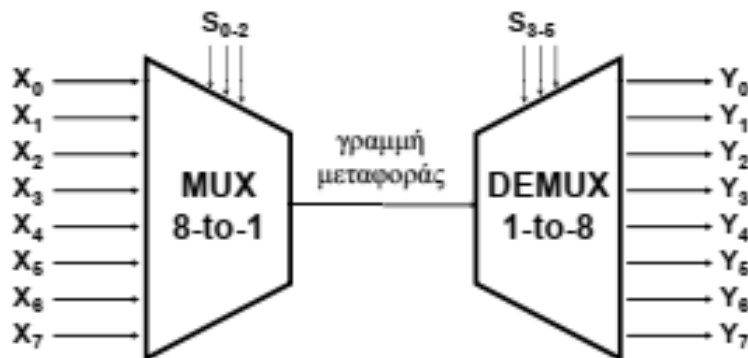
Διασύνδεση Μονάδων 4 X 2-to-1 Multiplexers



Κατοχή της 4-ψήφιας αρτηρίας $Y=(y3, y2, y1, y0)$ από μόνο μία από τις 2 μονάδες UA και UB, που αντίστοιχα παράγουν τις αρτηρίες $A=(a3, a2, a1, a0)$ και $B=(b3, b2, b1, b0)$, σύμφωνα με την τιμή του σήματος επιλογής S

74LS157

Μετάδοση Πληροφορίας Χρήση Πολυπλέκτη - Αποπλέκτη

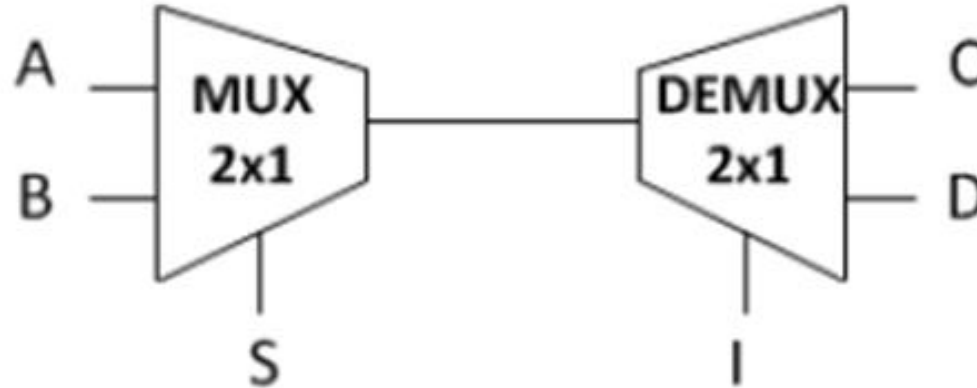


Δυνατότητα σύνδεσης οποιασδήποτε μονάδας X_m ($m=0,1,...,7$) με οποιαδήποτε μονάδα Y_n ($n=0,1,...,7$) (64 δυνατοί συνδυασμοί)

ΠΑΡΑΔΕΙΓΜΑ ΜΕΤΑΔΟΣΗΣ ΤΗΣ ΠΛΗΡΟΦΟΡΙΑΣ ΜΕ ΧΡΗΣΗ ΠΟΛΥΠΛΕΚΤΗ-ΑΠΟΠΛΕΚΤΗ (ΣΥΜΠΛΗΡΩΣΗ ΤΟΥ ΠΙΝΑΚΑ ΑΛΗΘΕΙΑΣ)

Ο ΠΟΛΥΠΛΕΚΤΗΣ ΕΧΕΙ:
N ΓΡΑΜΜΕΣ ΕΠΙΛΟΓΗΣ
2^N ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ
1 ΓΡΑΜΜΗ ΕΞΟΔΟΥ

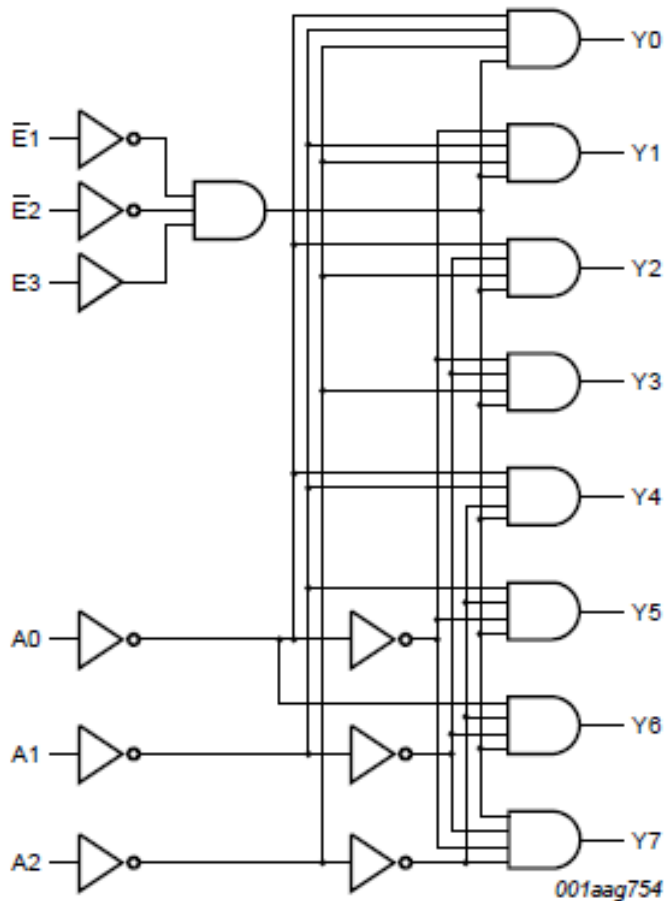
Ο ΑΠΟΠΛΕΚΤΗΣ ΕΧΕΙ:
N ΓΡΑΜΜΕΣ ΕΠΙΛΟΓΗΣ
1 ΓΡΑΜΜΗ ΕΙΣΟΔΟΥ
2^N ΓΡΑΜΜΕΣ ΕΞΟΔΟΥ



- Όταν $S=0$, $I=0$, τα δεδομένα από την είσοδο A του MUX-> στην έξοδο C του DEMUX
- Όταν $S=0$, $I=1$, τα δεδομένα από την είσοδο A του MUX-> στην έξοδο D του DEMUX
- Όταν $S=1$, $I=0$, τα δεδομένα από την είσοδο B του MUX-> στην έξοδο C του DEMUX
- Όταν $S=1$, $I=1$, τα δεδομένα από την είσοδο B του MUX-> στην έξοδο D του DEMUX

S	I	A	B	C	D
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	0	0
1	1	1	1	0	1

3 ΣΕ 8 ΓΡΑΜΜΕΣ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ / ΑΠΟΠΛΕΚΤΗΣ ΘΕΤΙΚΗΣ ΛΟΓΙΚΗΣ (74LS238)

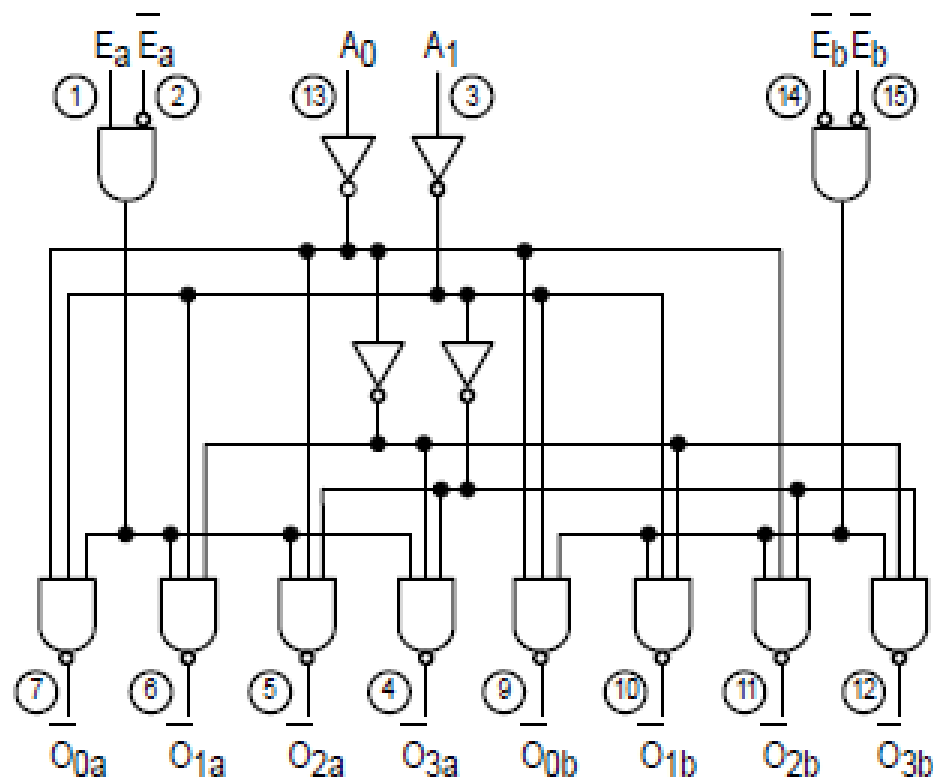


$$Y_6 = E_1' \cdot E_2' \cdot E_3 \cdot A_2 \cdot A_1 \cdot A_0'$$

H = HIGH voltage level; L = LOW voltage level; X = don't care.

Inputs						Outputs							
E1	E2	E3	A0	A1	A2	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
H	X	X	X	X	X	L	L	L	L	L	L	L	L
X	H	X	X	X	X	L	L	L	L	L	L	L	L
X	X	L	X	X	X	L	L	L	L	L	L	L	L
L	L	H	L	L	L	H	L	L	L	L	L	L	L
L	L	H	H	L	L	L	H	L	L	L	L	L	L
L	L	H	L	H	L	L	L	H	L	L	L	L	L
L	L	H	H	H	L	L	L	L	H	L	L	L	L
L	L	H	L	L	H	L	L	L	L	H	L	L	L
L	L	H	H	L	H	L	L	L	L	L	H	L	L
L	L	H	L	H	H	L	L	L	L	L	L	H	L
L	L	H	H	H	H	L	L	L	L	L	L	L	H

Η ΓΡΑΜΜΗ ΕΠΙΤΡΕΨΗΣ Ε3 ΧΡΗΣΙΜΟΠΟΙΕΙΤΑΙ
ΩΣ ΕΙΣΟΔΟΣ ΔΕΔΟΜΕΝΩΝ ΣΤΟΝ ΑΠΟΠΛΕΚΤΗ

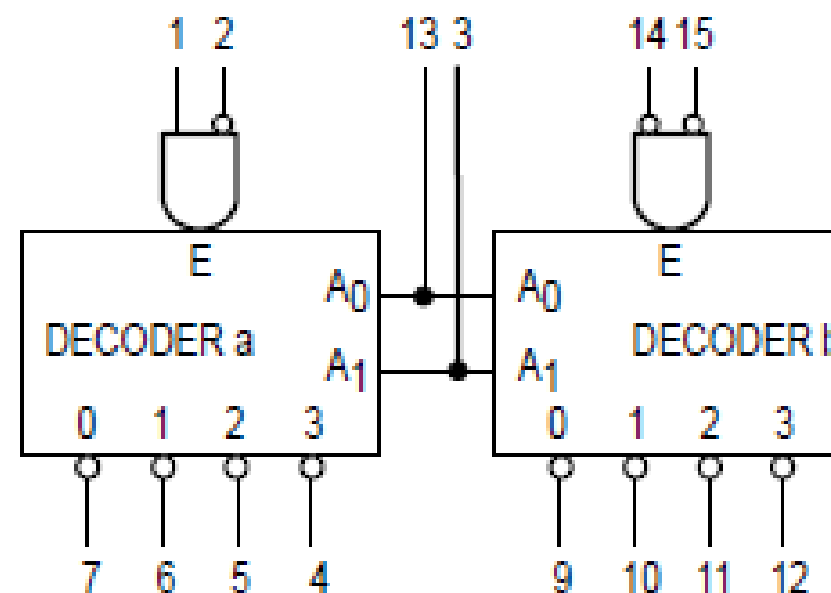


TRUTH TABLE

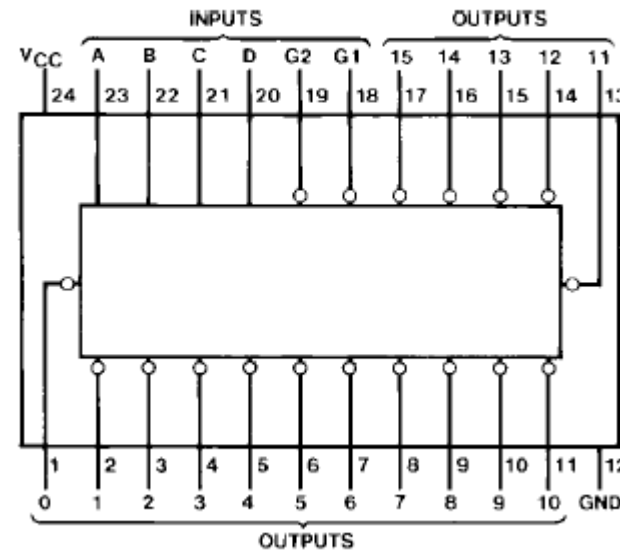
ADDRESS		ENABLE "a"		OUTPUT "a"				ENABLE "b"		OUTPUT "b"			
A ₀	A ₁	E _a	E _a	O ₀	O ₁	O ₂	O ₃	E _b	E _b	O ₀	O ₁	O ₂	O ₃
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

ΔΙΠΛΟΣ 1 ΣΕ 4 ΑΠΟΠΛΕΚΤΗΣ
(**ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ ΑΡΝΗΤΙΚΗΣ ΛΟΓΙΚΗΣ**
ΜΕ ΕΙΣΟΔΟΥΣ ΕΠΙΤΡΕΨΗΣ 74LS155)



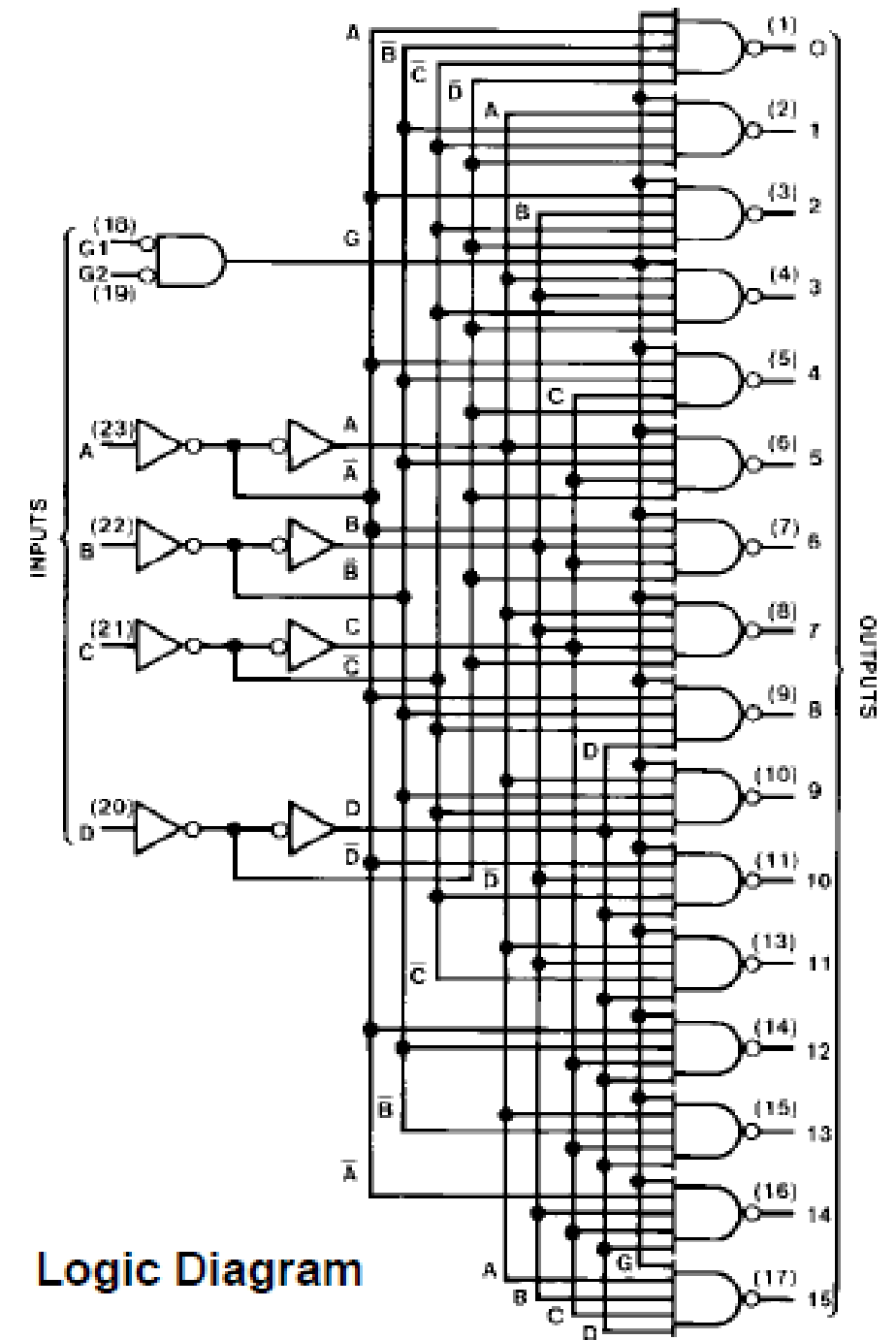
Connection Diagram



74LS154 4-LINE TO 16-LINE DECODER - DEMULTIPLEXER (NEGATIVE LOGIC)

Function Table

Inputs					Outputs																
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H



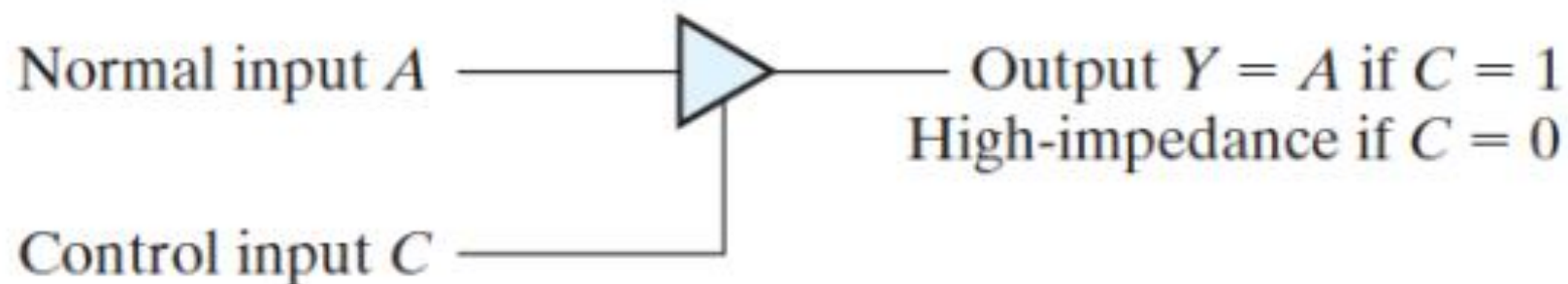
Logic Diagram

Σύγκριση

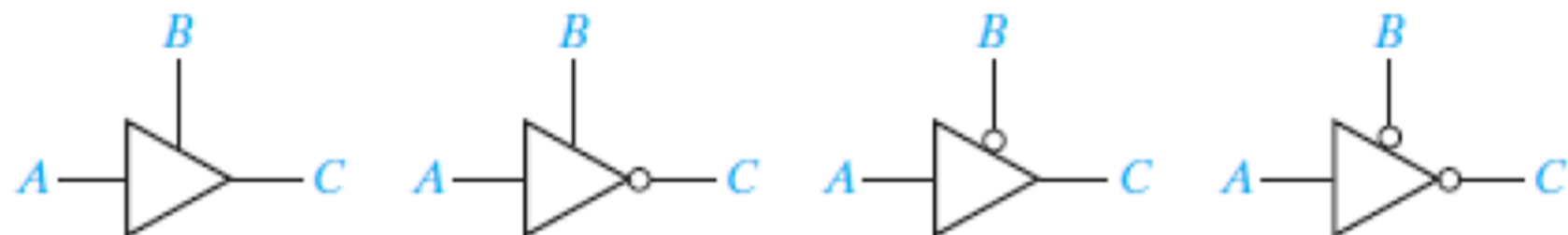
- Η μέθοδος του αποκωδικοποιητή απαιτεί μια πύλη H για κάθε συνάρτηση εξόδου αλλά μόνο ένας αποκωδικοποιητής απαιτείται για όλες τις συναρτήσεις.
 - Η μέθοδος του πολυπλέκτη χρησιμοποιεί μονάδες μικρότερου μεγέθους αλλά χρειάζεται έναν πολυπλέκτη για κάθε συνάρτηση εξόδου.
 - Τα κυκλώματα με λίγες εξόδους υλοποιούνται καλύτερα με πολυπλέκτες, ενώ αυτά με πολλές εξόδους υλοποιούνται καλύτερα με αποκωδικοποιητές.
-

Απομονωτές τριών καταστάσεων

Οι απομονωτές χρησιμοποιούνται για να συνδέονται διαφορετικές μονάδες σε κοινά μέσα μετάδοσης (πχ σε διαύλους)



- Four types of three-state buffer



B is an “enable” control bit

Not enabled

B	A	C
0	0	Z
0	1	Z
1	0	0
1	1	1

(a)

B	A	C
0	0	Z
0	1	Z
1	0	1
1	1	0

(b)

B	A	C
0	0	0
0	1	1
1	0	Z
1	1	Z

(c)

B	A	C
0	0	1
0	1	0
1	0	Z
1	1	Z

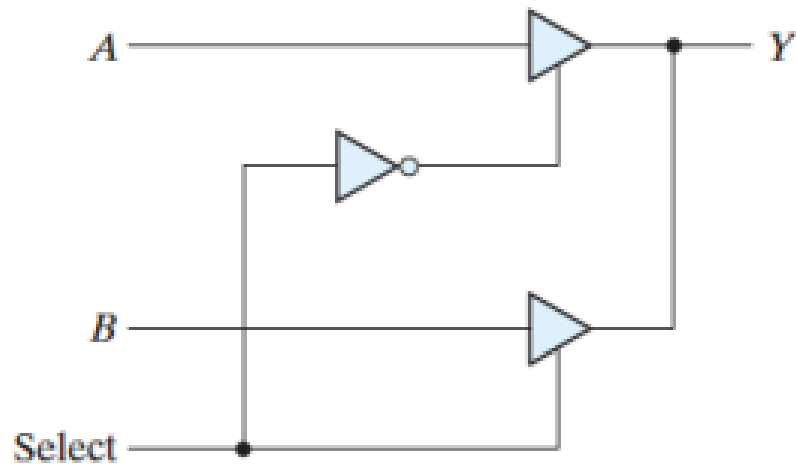
(d)

$C = A$

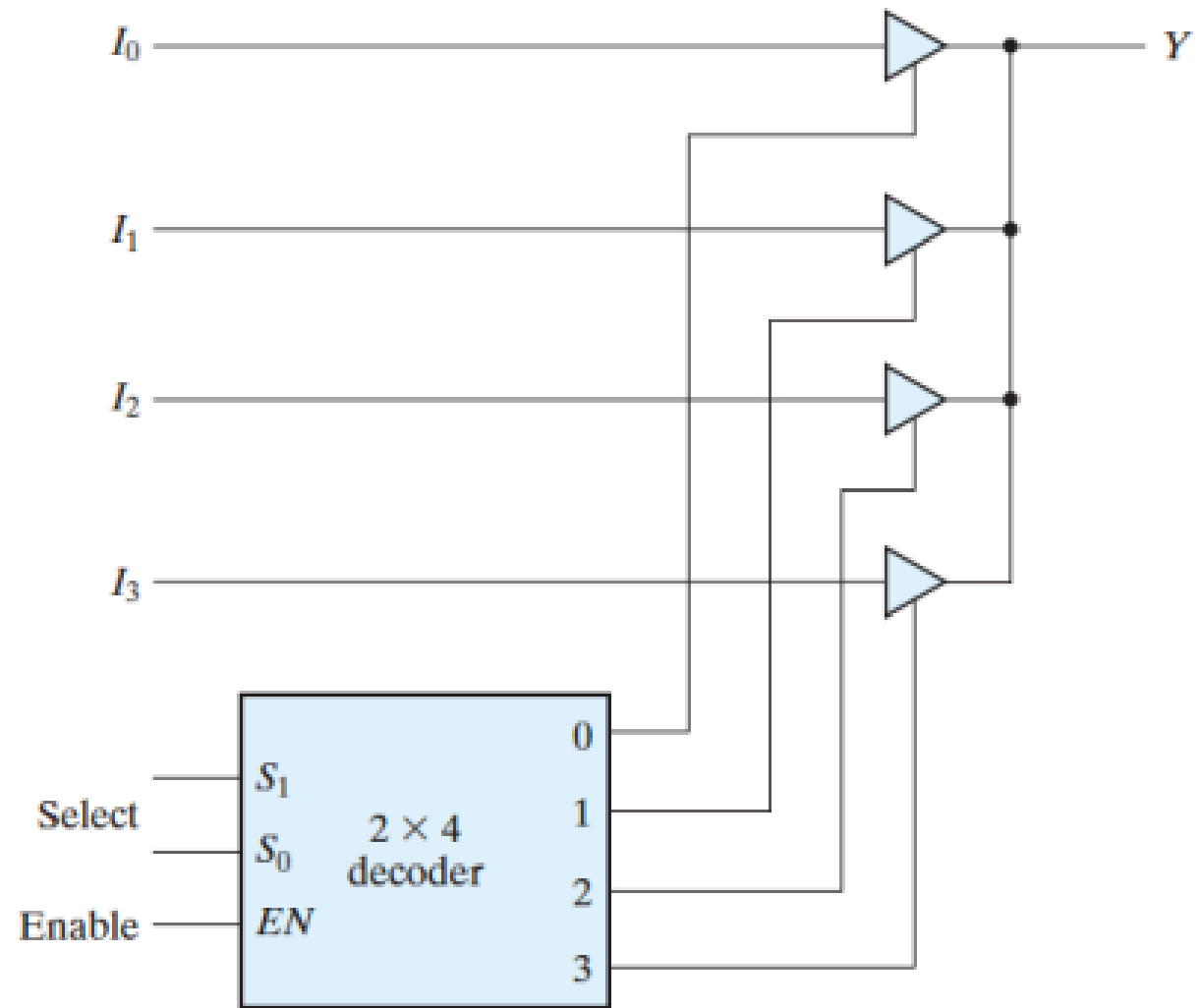
Inverter with tri-state output

Non-inverting and inverting tri-state buffers with active-low enable

Παράδειγμα: υλοποίηση πολυπλέκτη

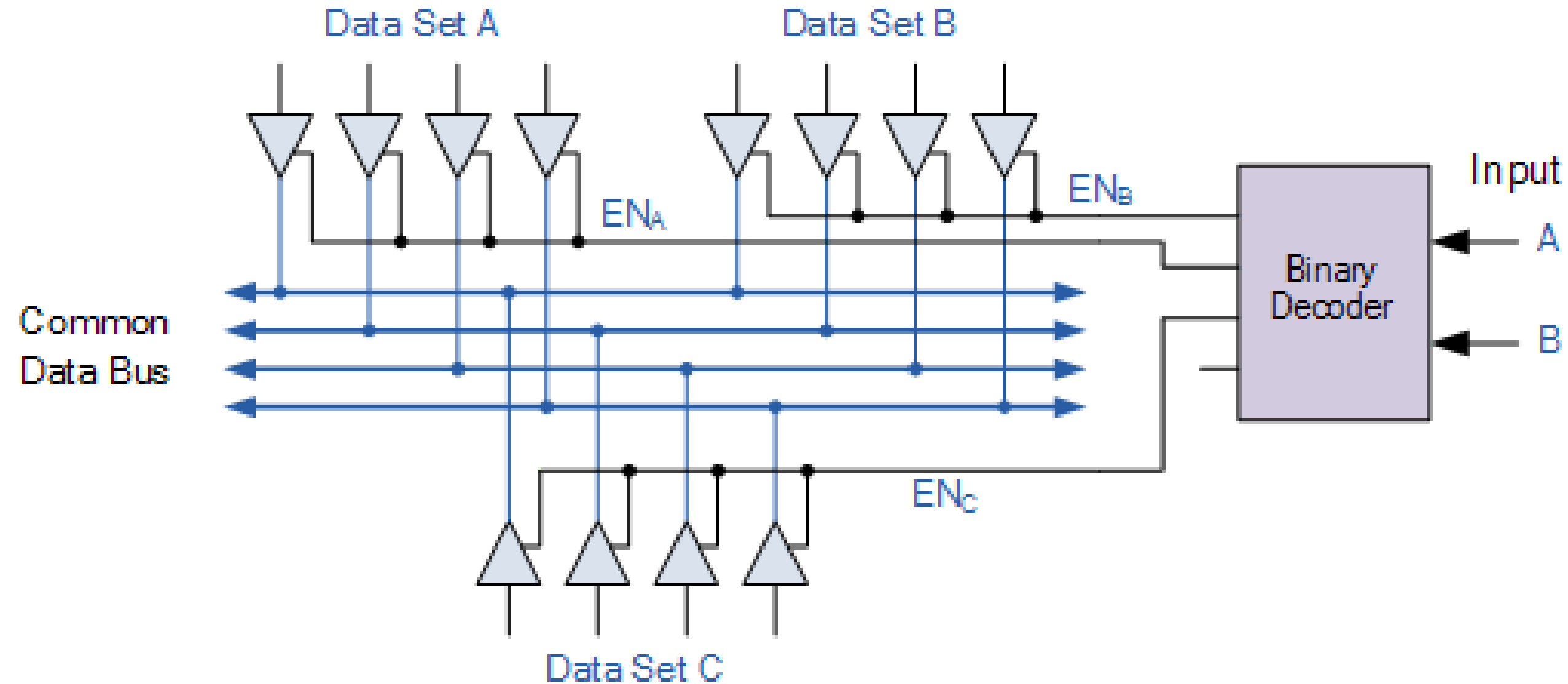


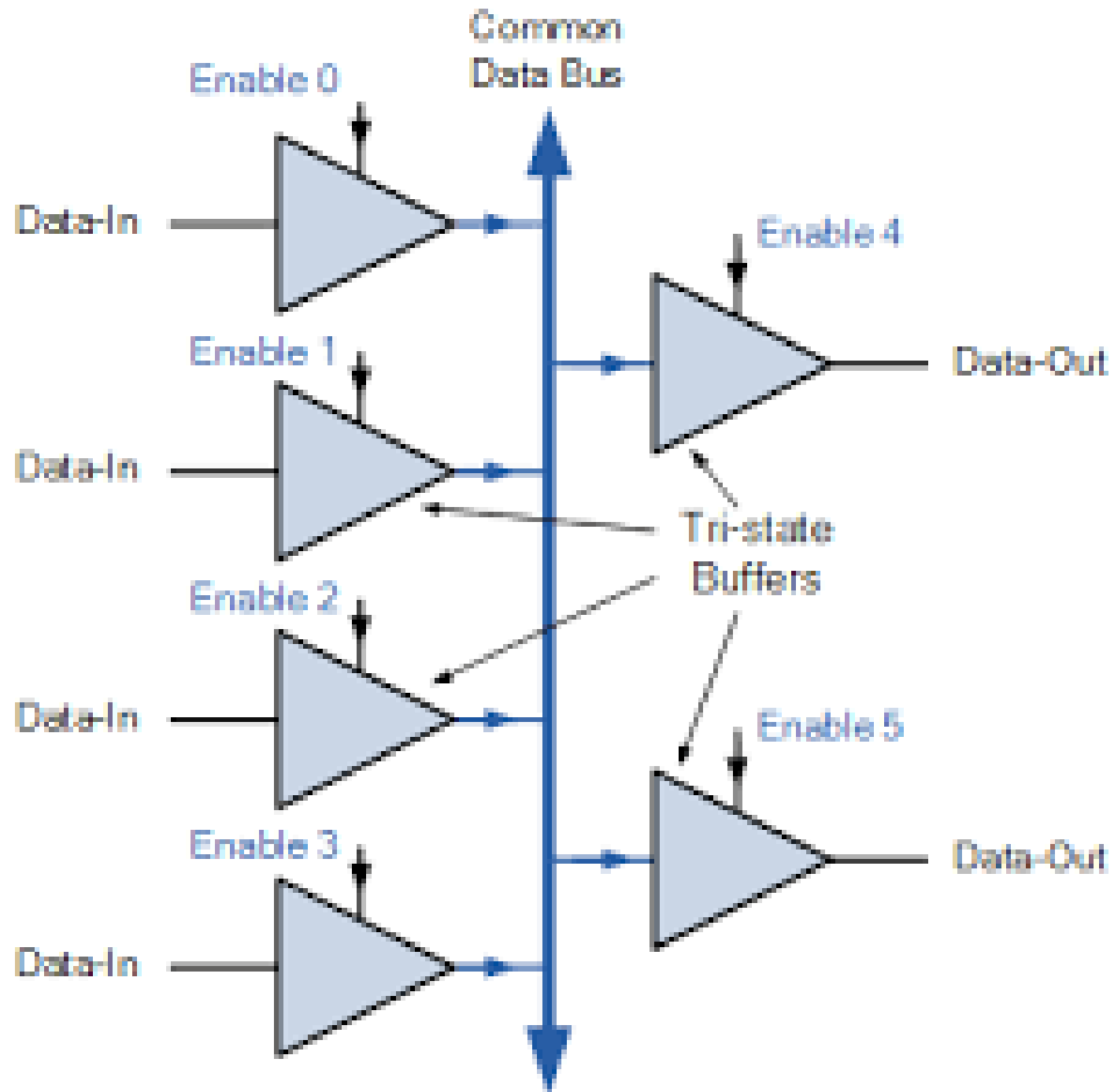
(a) 2-to-1-line mux



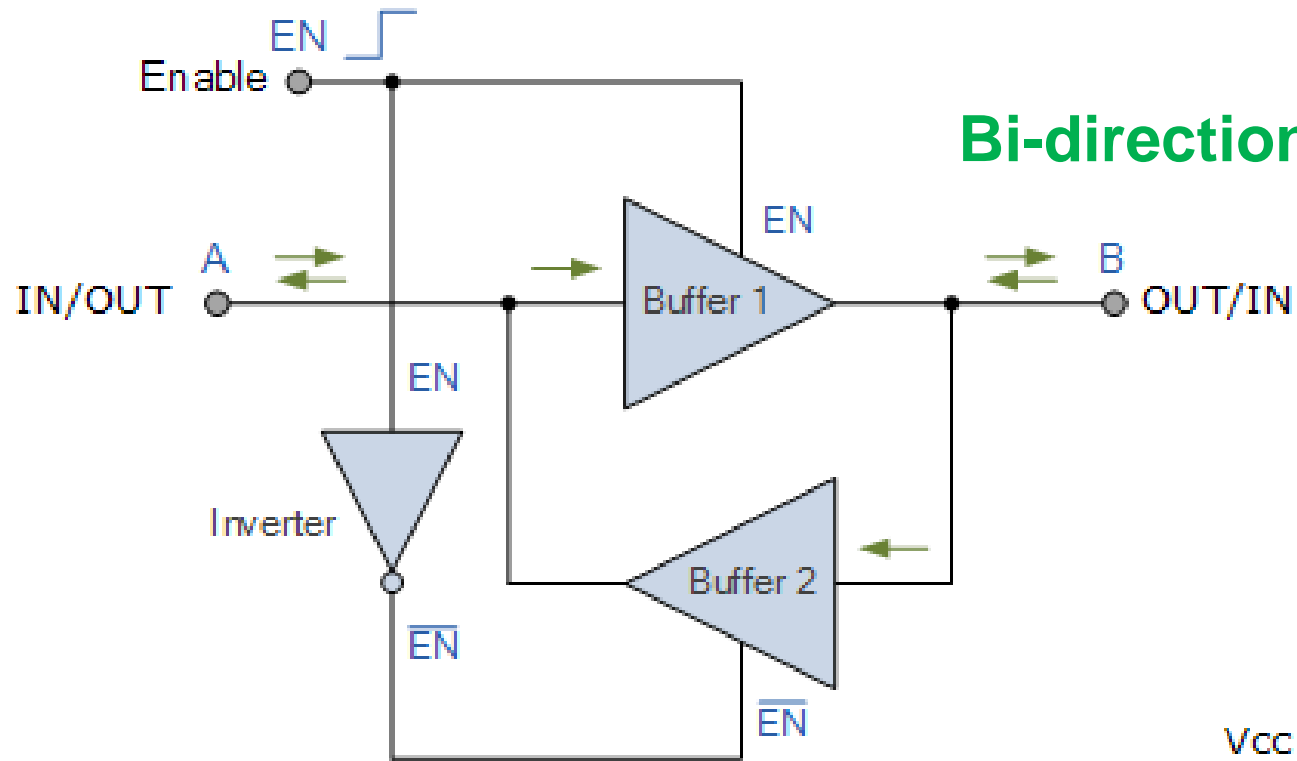
(b) 4-to-1-line mux

Bus Selection Using Tri-State Buffers





ΔΙΑΣΥΝΔΕΣΗ ΣΥΣΚΕΥΩΝ
ΕΙΣΟΔΟΥ ΚΑΙ ΕΞΟΔΟΥ ΣΕ
ΚΟΙΝΟ ΚΑΝΑΛΙ ΕΔΟΜΕΝΩΝ
(COMMON DATA BUS)
ΜΕ ΧΡΗΣΗ ΠΥΛΩΝ TRI-STATE



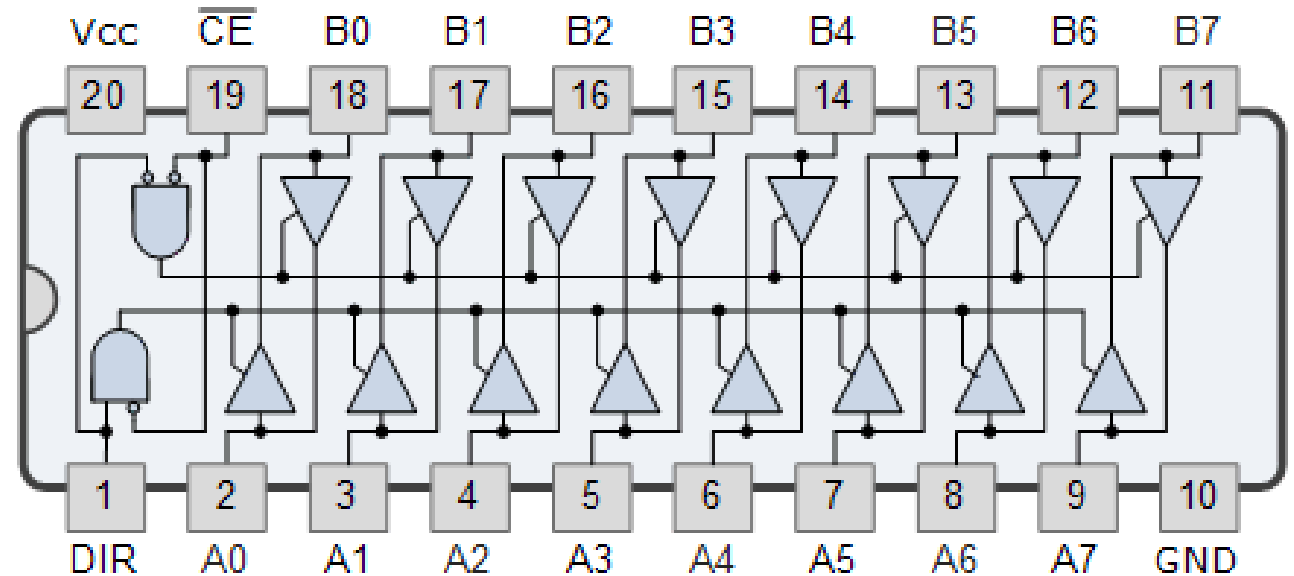
Bi-directional Buffer or transceiver circuit

EN=1 → DIRECTION A TO B

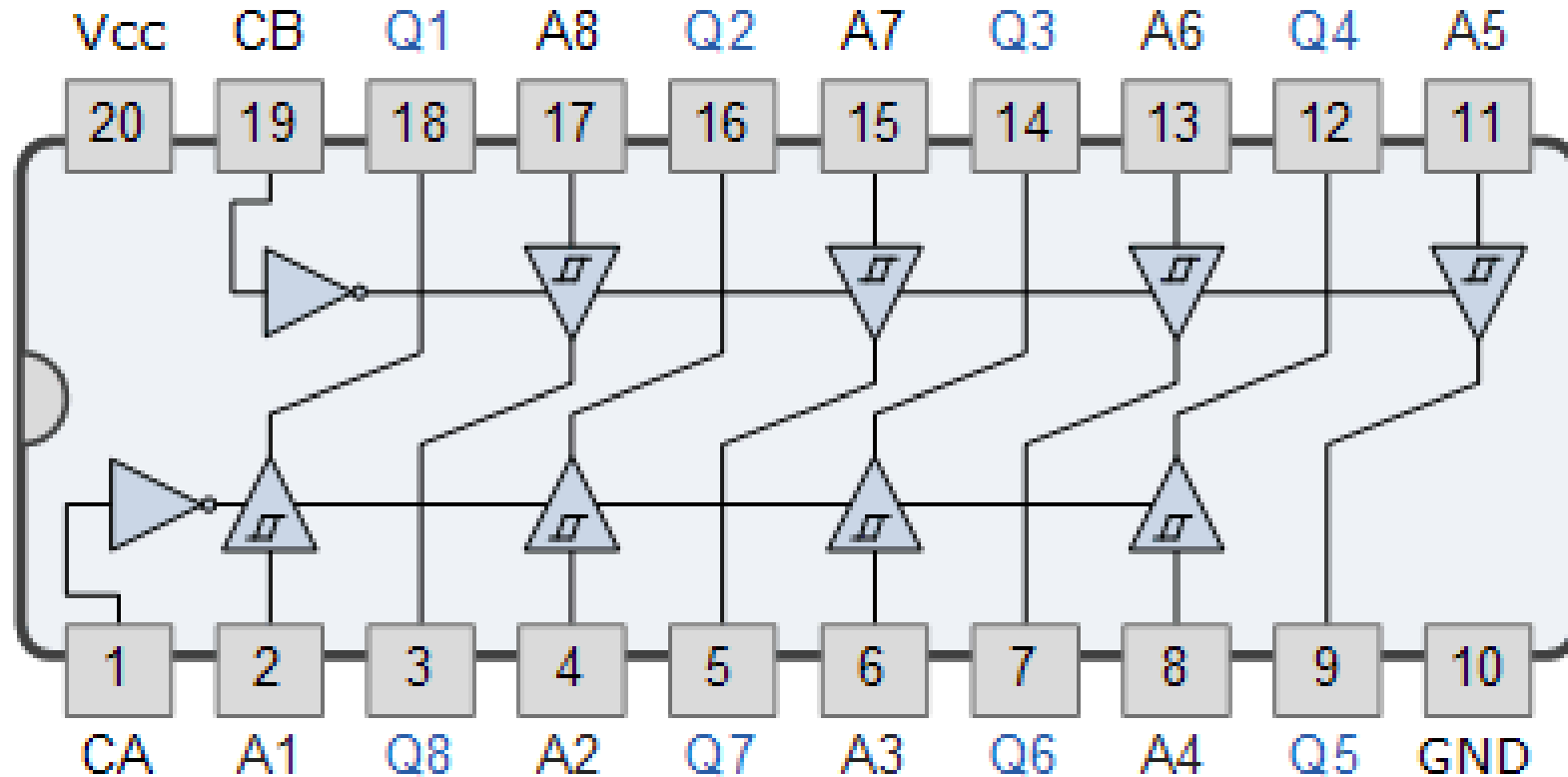
EN=0 → DIRECTION B TO A

DIR=0, CE=0 → DIRECTION B0 TO A0
 DIR=1, CE=0 → DIRECTION A0 TO B0
 DIR=X, CE=1 → A0=Hi-Z, B0=Hi-Z

74LS245 octal bus transceiver (Transmitter/Receiver)



74LS244 OCTAL TRI-STATE BUFFER



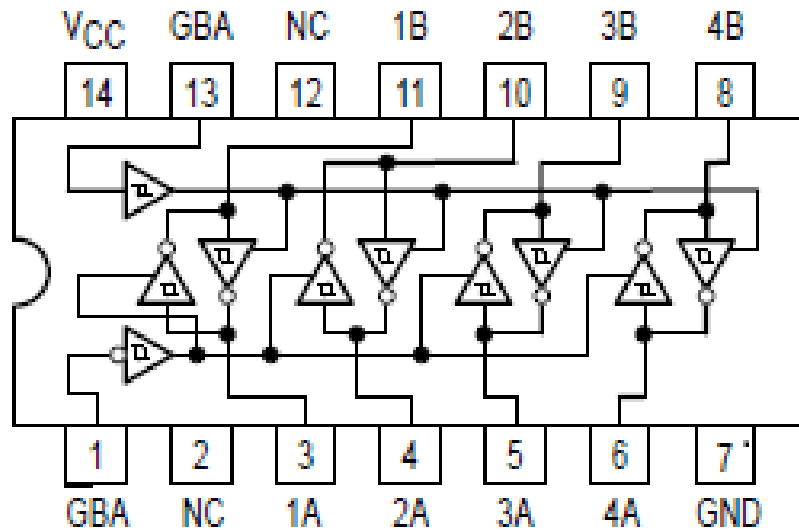
CA=0 → A1 TO Q1, A2 TO Q2, A3 TO Q3, A4 TO Q4

CB=0 → A5 TO Q5, A6 TO Q6, A7 TO Q7, A8 TO Q8

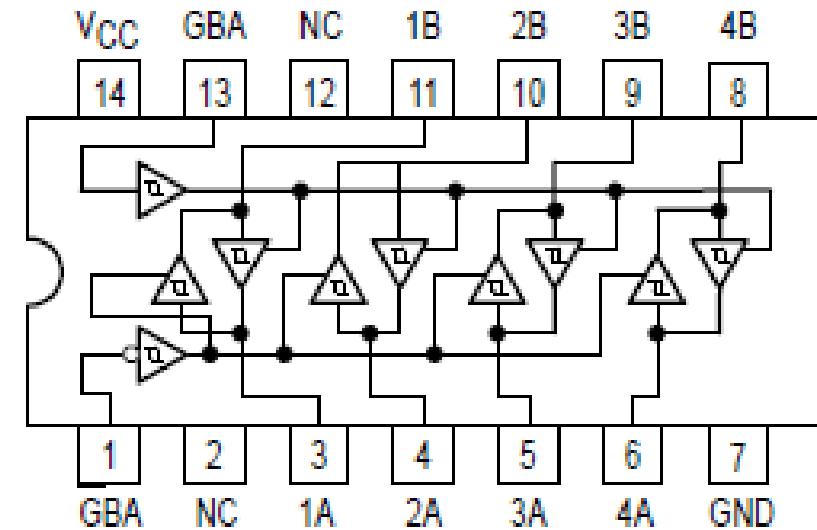
CA=1 → Q1=Q2=Q3=Q4=Hi-Z , CB=1 → Q5=Q6=Q7=Q8=Hi-Z

74LS242 – 74LS243 QUAD BUS TRANSCEIVER

SN54/74LS242



SN54/74LS243



SN54/74LS242

INPUTS		OUTPUT	INPUTS		OUTPUT
GAB	D		GAB	D	
L	L	H	L	X	(Z)
L	H	L	H	L	H
H	X	(Z)	H	H	L

SN54/74LS243

INPUTS		OUTPUT	INPUTS		OUTPUT
GAB	D		GAB	D	
L	L	L	L	X	(Z)
L	H	H	H	L	H
H	X	(Z)	H	H	L