

Κεφάλαιο 10

Σύνοψη

Στο κεφάλαιο αυτό θα δοθούν τέσσερις συχνά χρησιμοποιούμενες εφαρμογές που δίνουν τη χρήση των λογικών κυκλωμάτων στην καθημερινή μας ζωή.

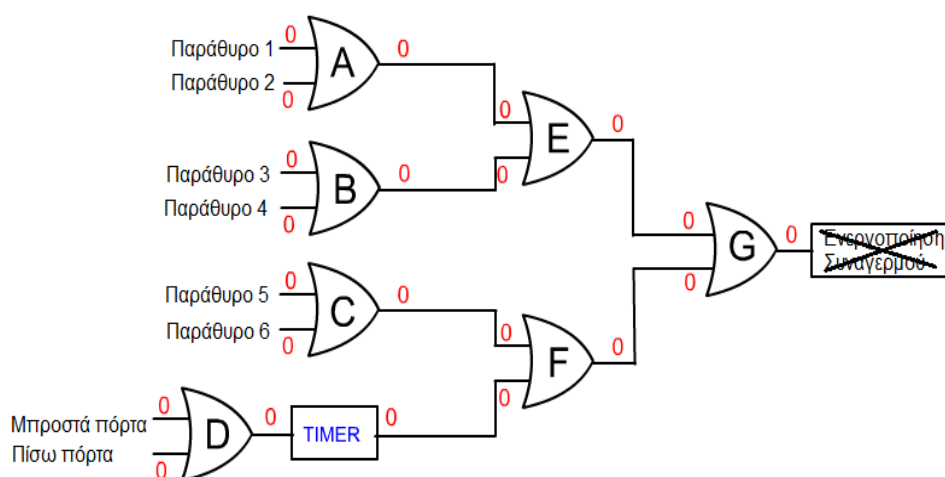
Προαπαιτούμενη γνώση

Οι λειτουργίες των λογικών πυλών, οι χάρτες απλοποίησης λογικών εκφράσεων.

10. Παραδείγματα εφαρμογής λογικών κυκλωμάτων

10.1. Παράδειγμα 1^ο (Οικιακή προστασία)

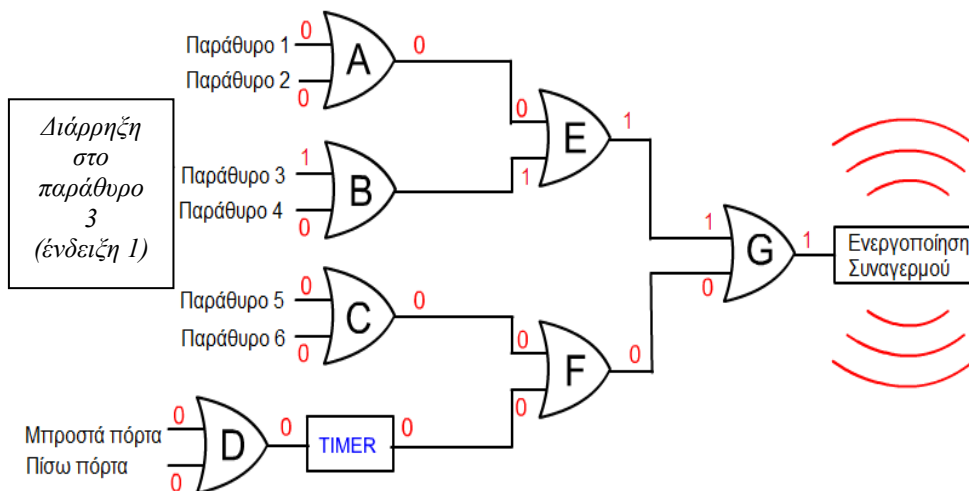
Στο σχήμα 10.1 απεικονίζεται το λογικό κύκλωμα που χρησιμοποιείται για την ενεργοποίηση ενός απλού οικιακού συναγερμού. Ο συναγερμός αυτός προστατεύει τις υπάρχουσες δύο πόρτες του σπιτιού (μία μπροστά και μια πίσω) καθώς και έξι παράθυρά του. Όταν ο συναγερμός είναι ενεργοποιημένος, αν παραβιαστεί οποιαδήποτε από τις πόρτες ή τα παράθυρα, ο συναγερμός θα ηχήσει. Στο διάγραμμα που ακολουθεί χρησιμοποιούνται πύλες OR δύο εισόδων. Ο χρονοδιακόπτης (timer) επιτρέπει στον ιδιοκτήτη του σπιτιού να μπει στο σπίτι είτε από την μπροστινή πόρτα είτε από την πίσω πόρτα, και να απενεργοποιήσει το συναγερμό, πριν αυτός χτυπήσει. Οι εισοδοί κάθε πύλης, που αναπαριστούν τις πόρτες και τα παράθυρα, μπορούν να συνδεθούν σε ένα ευρύ φάσμα αισθητήρων (πχ. αισθητήρες κίνησης και μαγνητικοί αισθητήρες).



Σχήμα 10.1. Αρχική κατάσταση του συναγερμού

Στο κύκλωμα οι καταστάσεις της εισόδου για καθένα από τους αισθητήρες είναι το '0' (false, low, off). Αυτό σημαίνει ότι δεν έχουν εντοπίσει κάποιον εισβολέα. Ως αποτέλεσμα ο συναγερμός είναι ανενεργός.

Η κατάσταση αλλάζει, όταν ένας κακοποιός παραβιάζει, π.χ., το παράθυρο 3 (Σχήμα 10.2). Παρατηρούμε ότι η λογική κατάσταση της εισόδου της πύλης B αλλάζει από «Ψευδής» σε «Αληθής». Η κατάσταση εξόδου της πύλης B αλλάζει σε true, και ακολουθεί η είσοδος της πύλης E και η έξοδος αυτής. Η είσοδος και η έξοδος της πύλης G, επίσης, αλλάζει σε «Αληθής». Αυτή η αλληλουχία γεγονότων οδηγεί στην ενεργοποίηση του συναγερμού. Επειδή έχουν χρησιμοποιηθεί πύλες OR, απαιτείται μόνο μια είσοδος να αλλάξει σε «Αληθής» στα παράθυρα ή τις πόρτες, για να ενεργοποιηθεί ο συναγερμός. (Ryan, 2003; Predko, 2005)



Σχήμα 10.2. Κατάσταση ενεργοποίησης του συναγερμού

10.2. Παράδειγμα 2^ο (Βιομηχανική ασφάλεια)

Στη βιομηχανία η ασφαλής χρήσης των μηχανημάτων είναι πολύ σημαντική. Όλα τα μηχανήματα θα πρέπει να είναι στημένα κατά τέτοιο τρόπο, ώστε ο χειριστής της μηχανής να είναι αδύνατον να πάθει ατύχημα. Ένα μηχάνημα «Α», όταν ο προστατευτικός οδηγός δεν είναι στη θέση του, είναι μη ασφαλές γιατί είναι δυνατόν να μπει σε λειτουργία και να χρησιμοποιηθεί ειδικά αν χρησιμοποιείται από κάποιον απλό μηχανουργό. Αυτό σημαίνει ότι τα χέρια του χειριστή μπορεί να τραυματιστούν σοβαρά από την επικίνδυνη λεπίδα, κατά τη διάρκεια κοπής του υλικού. Εναλλακτικά, εάν σε ένα μηχάνημα «Β» έχει τοποθετηθεί ένα λογικό κύκλωμα, ώστε να διασφαλίζει ότι ο προστατευτικός οδηγός είναι στη σωστή θέση, και, συγχρόνως, να ενεργοποιείται με την χρήση ενός διακόπτη λειτουργίας «ON/OFF», πριν το μηχάνημα ξεκινήσει τη λειτουργία του. Αυτό σημαίνει ότι ο χειριστής πρέπει να κρατά με το ελεύθερο χέρι του το κουμπί λειτουργίας πατημένο, αλλιώς η ηλεκτρική παροχή του μηχανήματος θα διακοπεί, σταματώντας τη λειτουργία του. Όταν ο προστατευτικός οδηγός είναι στη σωστή θέση και ο μικρο-διακόπτης ενεργοποιηθεί και είναι σε κατάσταση «ON», οι λογικές καταστάσεις και των 2 εισόδων είναι «1», και, συνεπώς, η λογική κατάσταση της εξόδου είναι «1» και το μηχάνημα λειτουργεί κανονικά. (Χρήση πύλης AND)

10.3. Παράδειγμα 3^ο (Τάισμα κατοικίδιου)

Κατά τον σχεδιασμό ενός συστήματος ταΐσματος κατοικίδιου χρησιμοποιούνται εκτός των μηχανικών μερών και λογικές πύλες για να παίρνονται απλές αποφάσεις. Ένα παράδειγμα αυτού του είδους κυκλωμάτων είναι βασισμένο σε ολοκληρωμένο κύκλωμα που περιλαμβάνει 4 πύλες AND δύο εισόδων. Έστω λοιπόν ένας ιδιοκτήτης κατοικίδιου που θέλει να κατασκευάσει ένα αυτόματο μηχάνημα ταΐσματος, για να λειτουργεί τη νύχτα, όταν το κατοικίδιο πατήσει ένα διακόπτη (ένα αισθητήρα πίεσης). Αυτού του είδους η συσκευή θα ταΐζει αυτόματα το κατοικίδιο

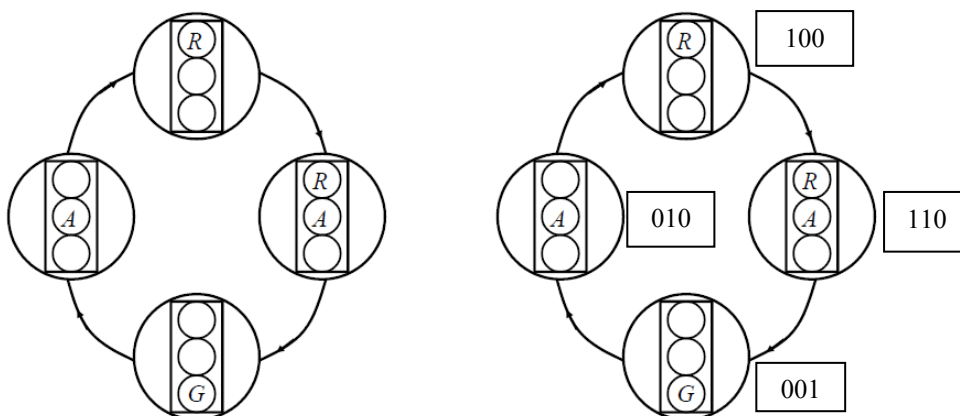
Το ολοκληρωμένο κύκλωμα που χρησιμοποιείται ανιχνεύει τότε οι δυο διακόπτες που χρησιμοποιούνται είναι ενεργοποιημένοι, και οι οποίοι αφορούν ο ένας το κατοικίδιο και ο άλλος τον έλεγχο εξωτερικού φωτισμού (εάν έχει βραδιάσει) – και ένας μικρός κινητήρας που επιτρέπει στο φαγητό να ελευθερωθεί από τον σωλήνα τροφοδοσίας του. Ένας μικρο-διακόπτης (αισθητήρας πίεσης) χρησιμοποιείται σαν η μια συσκευή εισόδου και ένα κύκλωμα ανίχνευσης φωτισμού σαν την δεύτερη συσκευή. Η πύλη AND που χρησιμοποιείται έχει δυο εισόδους. Αν και οι δυο εισοδοι είναι ενεργοποιημένες, δηλαδή και ο αισθητήρας φωτός και ο διακόπτης που ενεργοποιείται από το κατοικίδιο, η λογική κατάσταση της εξόδου αλλάζει σε high («1») και ο κινητήρας αφήνει το φαγητό να πέσει στο πιάτο του κατοικίδιου. Είναι προφανές από τον πίνακα αλήθειας της πύλης AND, πως, όταν ο διακόπτης έχει πατηθεί και υπάρχει εξωτερικός φωτισμός, ο κινητήρας είναι ανενεργός.

Το ολοκληρωμένο κύκλωμα περιλαμβάνει έναν αριθμό πυλών AND, και εδώ έχει χρησιμοποιηθεί μόνο μια από τις πύλες AND του ολοκληρωμένου. Ο διακόπτης 1 ΚΑΙ ο διακόπτης 2 πρέπει να πατηθούν, πριν ενεργοποιηθεί το ρελέ. (Παρατήρηση: Όταν τα ολοκληρωμένα χρησιμοποιούνται σε ένα κύκλωμα οι

είσοδοι από τις μη χρησιμοποιούμενες πύλες πρέπει να συνδέονται στο θετικό ή στο αρνητικό, χωρίς να έχει σημασία σε ποιο από τα δυο). (Ryan, 2003)

10.4. Παράδειγμα 4ο (Έλεγχος Φαναριού (Κοινωνική εφαρμογή))

Θα σχεδιάσουμε μια μηχανή Moore, για να υλοποιήσουμε έναν ελεγκτή του φαναριού. Για να οπτικοποιήσουμε το πρόβλημα, συχνά μας βοηθάει να σχεδιάσουμε ένα διάγραμμα με τις αλλαγές καταστάσεων. Αυτό χρησιμοποιείται, για να δημιουργήσουμε τον πίνακα μεταβάσεων, ο οποίος χρησιμοποιείται, για να παράξουμε τον πίνακα των παρούσων και επομένων καταστάσεων καθώς και την συνάρτηση εξόδου. (Nelson, et al., 1995; Katz, 2005; Wakerly, 2006; Tocci, et al., 2010)



Σχήμα 10.8. Καταστάσεις σηματοδότη και κωδικοποίηση των καταστάσεων λειτουργίας

Όπως διαπιστώνουμε, έχουμε 4 καταστάσεις. Άρα μπορούμε να χρησιμοποιήσουμε 2 f-fs. Παρόλα αυτά, χρησιμοποιώντας 3 f-fs, θα δούμε ότι δε χρειάζεται να υπολογίσουμε κάποια συνάρτηση εξόδου, και θα χρησιμοποιήσουμε τις 4 από τις 8 δυνατές καταστάσεις.

Γενικά η κωδικοποίηση των καταστάσεων είναι ένα δύσκολο πρόβλημα, και η βέλτιστη λύση δεν είναι πάντα προφανής. Χρησιμοποιώντας 3 F-Fs (θα χρησιμοποιήσουμε D f-f), μπορούμε να αναθέσουμε ένα σε κάθε μια από τις απαιτούμενες εξόδους (R, A, G), εξαλείφοντας για τη λογική εξόδου.

Αρχικά κατασκευάζουμε τον πίνακα μεταβάσεων. Έτσι στον πίνακα βλέπουμε ότι η επόμενη κατάσταση της κατάστασης 100 είναι η 110. Ονομάζουμε στις εξόδους των f-fs αντίστοιχα με τα χρώματα ως R, A και G. Θυμηθείτε ότι δε χρειάζεται να συμπεριλάβουμε στήλες για τη διέγερση των F-F, επειδή χρησιμοποιούμε D f-f, και σε αυτό είναι ταυτόσημες με την επόμενη κατάσταση. Άρα έχουμε τον ακόλουθο πίνακα μεταβάσεων.

Παρούσα Κατάσταση			Επομένη Κατάσταση		
R	A	G	R'	A'	G'
1	0	0	1	1	0
1	1	0	0	0	1
0	0	1	0	1	0
0	1	0	1	0	0
0	0	0	x	x	x
0	1	1	x	x	x
1	0	1	x	x	x
1	1	1	x	x	x

Αφού αυτές οι καταστάσεις, που αποδίδονται με ΑΟ, δε θα υπάρξουν ποτέ, δε μας απασχολεί τι έξοδο δίνει στην επόμενη κατάσταση. Αυτές οι αδιάφορες καταστάσεις μπορούν να χρησιμοποιηθούν μόνο για να απλοποιήσουμε τη συνάρτηση.

Τώρα πρέπει να προσδιορίσουμε τις συναρτήσεις. Για το R F-F πρέπει να προσδιορίσουμε το D_R . Για να γίνει αυτό θα χρησιμοποιήσουμε ένα χάρτη Karnaugh. (Το D είναι 1 όταν η επόμενη κατάσταση είναι 1). Ομαδοποιούμε τους άσους, ώστε να πάρουμε το βέλτιστο αποτέλεσμα. Οι αντίστοιχοι χάρτες Karnaugh και οι εξισώσεις, που προκύπτουν, είναι:

(Είναι προφανές ότι ανάλογα με την αρχική κωδικοποίηση λαμβάνουμε διαφορετικό αποτέλεσμα.)

	RA	00	01	11	10
G	0	AO	1		1
G	1		AO	AO	AO

$$D_R = R\bar{A} + \bar{R}A = R \oplus A$$

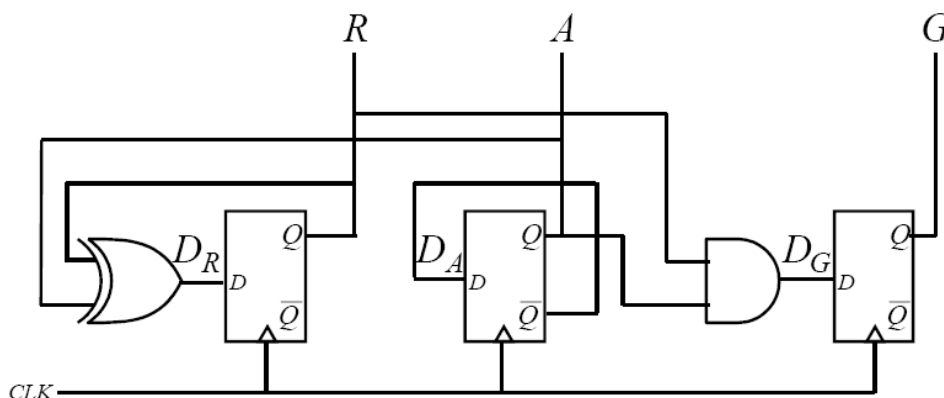
	RA	00	01	11	10
G	0	AO	1		1
G	1		AO	AO	AO

$$D_G = RA$$

	RA	00	01	11	10
G	0	AO			1
G	1	1	AO	AO	AO

$$D_A = \bar{A}$$

Χρησιμοποιώντας τις παραπάνω συναρτήσεις το τελικό διάγραμμα δίνεται από το ακόλουθο σχήμα 10.9:



Σχήμα 10.9. Διάγραμμα υλοποίησης του ελέγχου των φαναριών

Βιβλιογραφία-Αναφορές

Katz, R. (2005). *Contemporary Logic Design*, 2/e, Prentice Hall

Nelson, V., Nagle, H., Carroll, B., Irwin, J. (1995). *Digital Logic Circuit Analysis and Design*, Prentice-Hall

Predko, Myke (2005). *Digital Electronics Demystified*, Mc Graw Hill

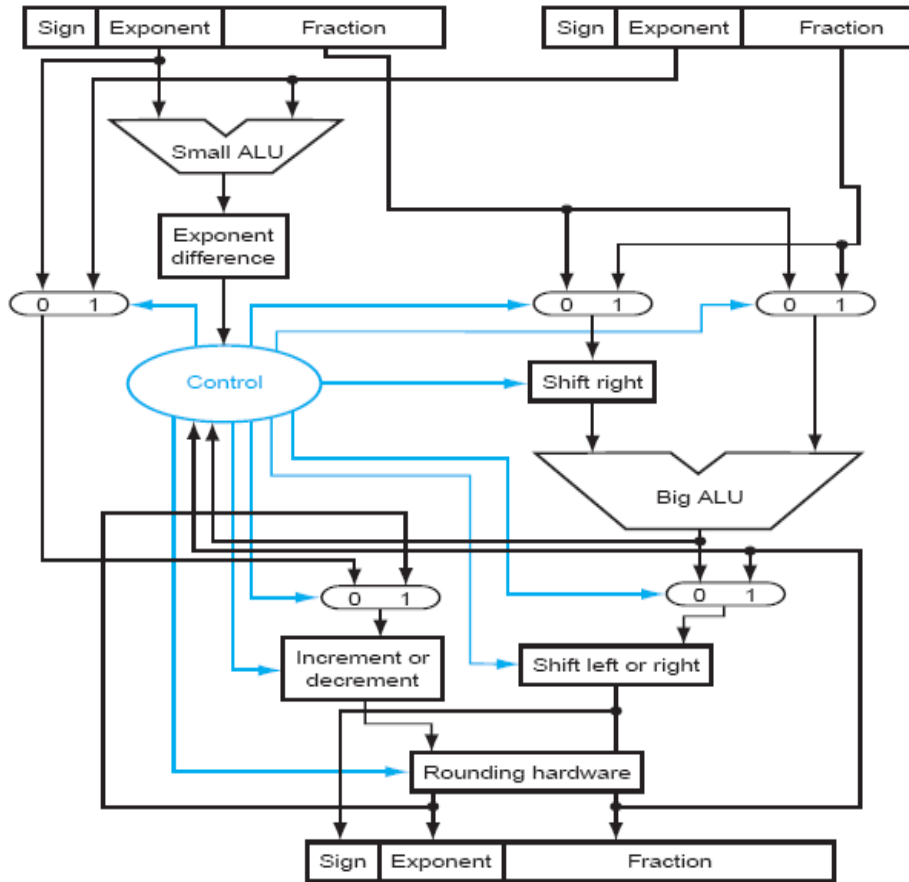
Ryan V., (2003), <http://www.technologystudent.com/elec1/elecex.htm>

Tocci, R. J., Widmer, N. S, and Moss, Gr. L. (2010). *Digital Systems: Principles and Applications*, 11th, Boston, Addison-Wesley

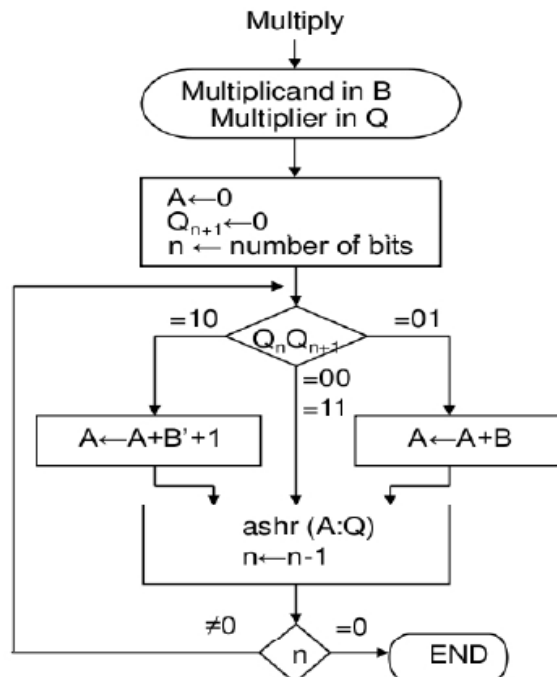
Wakerly, J. (2006). *Digital Design Principles and Practices*, 4/e, Prentice Hall

ΠΑΡΑΡΤΗΜΑ

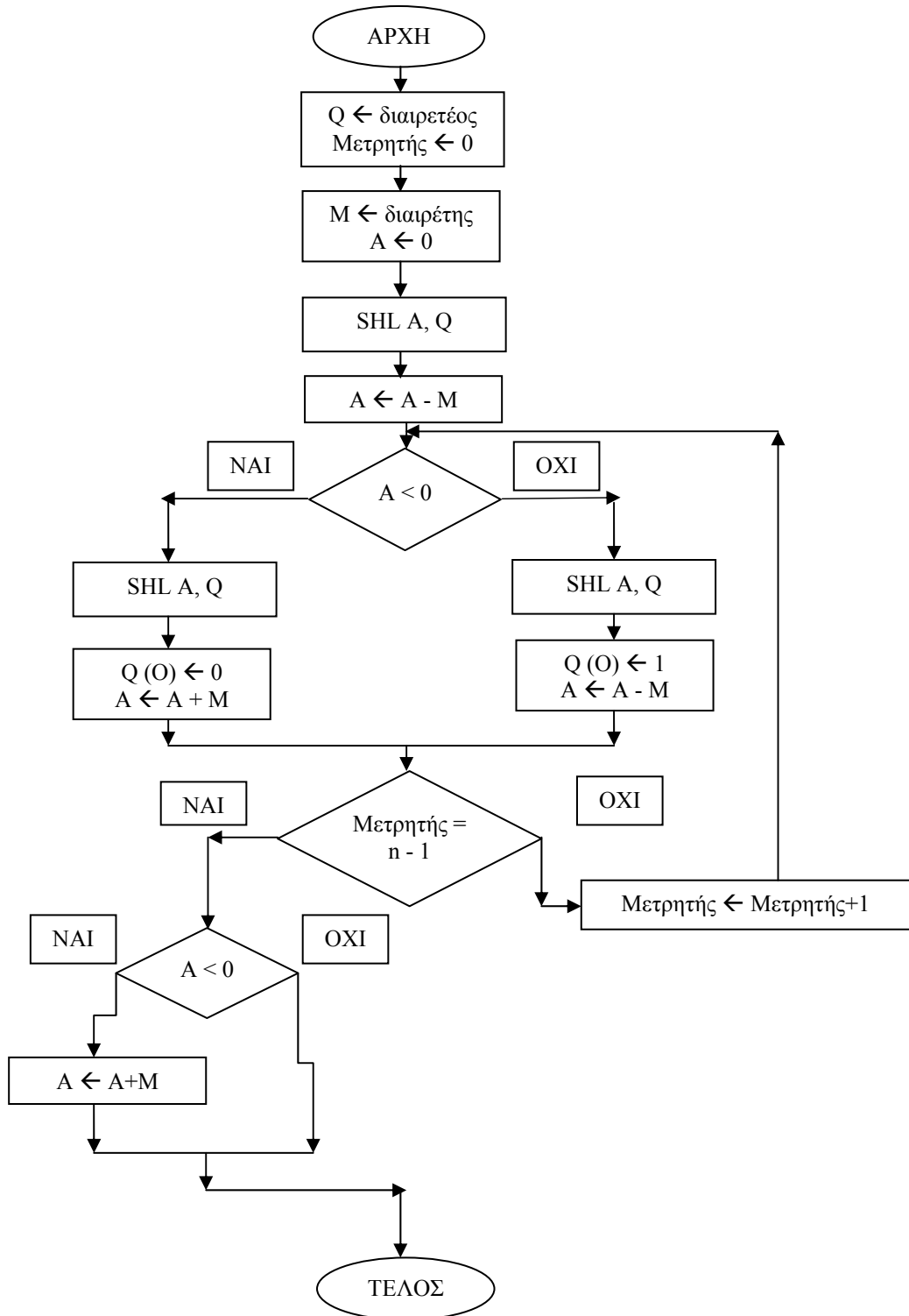
ΠΙΝΑΚΑΣ 1. Διάγραμμα πρόσθεσης αριθμών κινητής υποδιαστολής(IEEE)



ΠΙΝΑΚΑΣ 2. Διάγραμμα ροής του αλγόριθμου πολλαπλασιασμού κατά Booth



ΠΙΝΑΚΑΣ 3. Λογικό διάγραμμα διαίρεσης θετικών ακεραίων χωρίς ανάκτηση. Με SHL απεικονίζεται η αριστερή ολίσθηση, με Q το τελικό πηλίκο και με A το υπόλοιπο της διαίρεσης δοθέντων αριθμών (διααιρετέου και διαιρέτη)



ΠΙΝΑΚΑΣ 4. Αντιστοιχία εξαψήφιου αλφαριθμητικού κώδικα και κώδικα EBCDIC

Στοιχείο	Δυαδική παράσταση	EBCDIC	Στοιχείο	Δυαδική παράσταση	EBCDIC
0	001010	11110000	A	110001	11000001
1	000001	11110001	B	110010	11000010
2	000010	11110010	C	110011	11000011
3	000011	11110011	D	110100	11000100
4	000100	11110100	E	110101	11000101
5	000101	11110101	F	110110	11000110
6	000110	11110110	G	110111	11000111
7	000111	11110111	H	111000	11001000
8	001000	11111000	I	111001	11001001
9	001001	11111001	J	100001	11010001
.	111011	01001011	K	100010	11010010
(111101	01001101	L	100011	11010011
<	111110	01001100	M	100100	11010100
\$	101011	01011011	N	100101	11010101
*	101100	01011100	O	100110	11010110
)	101101	01011101	P	100111	11010111
;	101110	01011110	Q	101000	11011000
-	100000	01100000	R	101001	11011001
/	010001	01100001	S	010010	11100010
,	011011	01101011	T	010011	11100011
%	011100	01101100	U	010100	11100100
\	011110		V	010101	11100101
:	001101	01111010	W	010110	11100110
>	001110	01101110	X	010111	11100111
?	111010	01101111	Y	011000	11101000
!	101110	01011010	Z	011001	11101001
'		01111101	κενό	000000	
..		01111111			

ΠΙΝΑΚΑΣ 5. Διεθνής κώδικας ASCII

Στοιχείο	Δυαδική παράσταση	Στοιχείο	Δυαδική παράσταση	Στοιχείο	Δυαδική παράσταση	Στοιχείο	Δυαδική παράσταση
NUL	00000000	SP	00100000	@	01000000	`	01100000
SOH	00000001	!	00100001	A	01000001	a	01100001
STX	00000010	"	00100010	B	01000010	b	01100010
ETX	00000011	#	00100011	C	01000011	c	01100011
EOT	00000100	\$	00100100	D	01000100	d	01100100
ENQ	00000101	%	00100101	E	01000101	e	01100101
ACK	00000110	&	00100110	F	01000110	f	01100110
BEL	00000111	'	00100111	G	01000111	g	01100111
BS	00001000	(00101000	H	01001000	h	01101000
HT	00001001)	00101001	I	01001001	i	01101001
LF	00001010	*	00101010	J	01001010	j	01101010
VT	00001011	+	00101011	K	01001011	k	01101011
FF	00001100	,	00101100	L	01001100	l	01101100
CR	00001101	-	00101101	M	01001101	m	01101101
SO	00001110	.	00101110	N	01001110	n	01101110
SI	00001111	/	00101111	O	01001111	o	01101111
DLE	00010000	0	00110000	P	01010000	p	01110000
DC1	00010001	1	00110001	Q	01010001	q	01110001
DC2	00010010	2	00110010	R	01010010	r	01110010
DC3	00010011	3	00110011	S	01010011	s	01110011
DC4	00010100	4	00110100	T	01010100	t	01110100
NAK	00010101	5	00110101	U	01010101	u	01110101
SYN	00010110	6	00110110	V	01010110	v	01110110
ETB	00010111	7	00110111	W	01010111	w	01110111
CAN	00011000	8	00111000	X	01011000	x	01111000
EM	00011001	9	00111001	Y	01011001	y	01111001
SUB	00011010	:	00111010	Z	01011010	z	01111010
ESC	00011011	;	00111011	[01011011	{	01111011
FS	00011100	<	00111100	\	01011100	 	01111100
GS	00011101	=	00111101]	01011101	}	01111101
RS	00011110	>	00111110	^	01011110	~	01111110
US	00011111	?	00111111	_	01011111	□	01111111

ΠΙΝΑΚΑΣ 6. Τοπικός κώδικας ASCII- (ISO 10646)

Στοιχείο	Διαδική παράσταση	Στοιχείο	Διαδική παράσταση	Στοιχείο	Διαδική παράσταση	Στοιχείο	Διαδική παράσταση
	10000000		10100000	İ	11000000	ÿ	11100000
	10000001		10100001	Α	11000001	α	11100001
,	10000010	Α	10100010	Β	11000010	β	11100010
f	10000011	£	10100011	Γ	11000011	γ	11100011
„	10000100		10100100	Δ	11000100	δ	11100100
...	10000101	¥	10100101	Ε	11000101	ε	11100101
†	10000110		10100110	Ζ	11000110	ζ	11100110
‡	10000111	§	10100111	Η	11000111	η	11100111
	10001000	..	10101000	Θ	11001000	θ	11101000
‰	10001001	©	10101001	Ι	11001001	ι	11101001
	10001010		10101010	Κ	11001010	κ	11101010
<	10001011	«	10101011	Λ	11001011	λ	11101011
	10001100	¬	10101100	Μ	11001100	μ	11101100
	10001101	-	10101101	Ν	11001101	ν	11101101
	10001110	®	10101110	Ξ	11001110	ξ	11101110
	10001111		10101111	Ο	11001111	ο	11101111
	10010000	ο	10110000	Π	11010000	π	11110000
‘	10010001	±	10110001	Ρ	11010001	ρ	11110001
’	10010010	²	10110010		11010010	ς	11110010
«	10010011	³	10110011	Σ	11010011	σ	11110011
«	10010100	´	10110100	Τ	11010100	τ	11110100
•	10010101	μ	10110101	Υ	11010101	υ	11110101
—	10010110	¶	10110110	Φ	11010110	φ	11110110
—	10010111	·	10110111	Χ	11010111	χ	11110111
	10011000	Έ	10111000	Ψ	11011000	ψ	11111000
™	10011001	Η	10111001	Ω	11011001	ω	11111001
	10011010	Ί	10111010	Ï	11011010	ï	11111010
>	10011011	»	10111011	ÿ	11011011	ÿ	11111011
	10011100	Ό	10111100	ά	11011100	ό	11111100
	10011101	½	10111101	έ	11011101	έ	11111101
	10011110	Υ	10111110	ή	11011110	ώ	11111110
	10011111	Ω	10111111	ί	11011111		11111111

Αντιστοίχιση Βασικών Ελληνικών Όρων στην Αγγλική

Αδιάφορος (όρος)	Don't care state
Άθροισμα Γινομένων	Sum of products (SOP)
Ακολουθιακά Κυκλώματα	Sequential Circuits
Αμφίδρομος απαριθμητής	Up Down Counter
Αναπαράσταση προσήμου	Sign representation
Απαριθμητές ως προς μέτρο	Modulo counters
Απαριθμητής δακτυλίου	Ring Counters
Απαριθμητής Κυμάτων	Ripple counter
Αποδιαμόρφωση	Demodulation
Αποκλειστικής Διάζευξης	Exclusive OR (XOR)
Αποκλειστικής Σύζευξης	Coincidence (XNOR)
Αποκωδικοποιητής	Decoder
Απομονωτής	Buffer
Απόσταση Hamming	Hamming Distance
Αριθμητική και Λογική Μονάδα (ΑΛΜ)	Arithmetic Logic Unit(ALU)
Βάση αριθμητικού συστήματος	Base, Radix
Γεννήτρια Ψευδοτυχαίων αριθμών	Pseudo-random generator
Γινόμενο Άθροισμάτων	Product of Sums(POS)
Δυαδικοί απαριθμητές	Binary Counters
Διαίρεση με ανάκτηση	Restoring division
Διαίρεση χωρίς ανάκτηση	Non restoring division
Διακόπτης	Switch
Διαμόρφωση	Modulation
Διπλή Ακρίβεια	Double precision
Δισταθής πολυδονητής	Bistable multivibrator
Δυαδικό Σύστημα e	Binary System
Δυδεκαδικός κώδικας	Bindecimal code
Δυπενταδικός κώδικας	Biquinary code
Είσοδος κρατουμένου	Carry Input
Εκθέτης	Exponent
Ελαχιστοβάθμιος όρος (ΕΛΒΟ)	Minterm
Ενεργοποίηση	Enable
Ημισθροιστής	Half Adder
Θεώρημα της επέκτασης	Expansion theorem
Κανόνας του Humphrey	First condition of Humphrey
Καταχωρητής	Register
Καταχωρητής Ολίσθησης	Shift register
Κεντρική Μονάδα Επεξεργασίας(KME)	Central Processing Unit (CPU)
Κινητή Υποδιαστολή	Floating Point
Κλάσμα	Fraction
Κυκλική μεταφορά κρατουμένου	End around carry
Κυκλικός Πλεονάζων Κώδικας Ελέγχου	Cyclic Redundant Check Code
Κύριο εξαρτώμενο flip-flop	Master slave flip-flop
Κώδικας Υπερβολής	Excess code
Κωδικοποιητής	Coder
Μέγεθος	Mantissa
Μεγιστοβάθμιος όρος(MEBO)	Maxterm
Μηχανές Καταστάσεων	State Machines
Μονοσταθής πολυδονητής	Monostable multivibrator, One shot
Ουσιώδης όρος	Essential Term
Παράλληλος αθροιστής	Parallel Full adder
Πίνακας Αλήθειας	Truth Table
Πίνακας Lookup	Look up Table (LUT)
Πλήρης αθροιστής	Full adder
Πολυπλέκτης	Multiplexer
Πρόγνωση κρατουμένου	Carry Look Ahead
Προγραμματιζόμενες Λογικές Μήτρες	Programming Logic Arrays

Προγραμματιζόμενες Λογικές Μονάδες
Προσημασμένη Διαίρεση
Πρόσημο
Σειριακός Πλήρης Αθροιστής
Συγκεραστικοί κώδικες
Συγκριτής
Συμπλήρωμα ως προς 1
Συμπλήρωμα ως προς 2
Συνδυαστικά Κυκλώματα
Χάρτης Karnaugh
Χρονοδιακόπτης
Ψηφίο ισοτιμίας
Ωρολογιακό flip-flop

Programming Logic Devices
Signed division
Sign
Serial Full adder
Convolutional codes
Comparator
1's complement
2's complement
Combinational Circuits
Karnaugh Map
Timmer
Parity bit
Clocked flip-flop

Αλφαβητάρι Βασικών Όρων

D flip-flop, 187
Fan-out, 265
J-K flip-flop, 183
Master Slave flip-flop, 189
PLA, 288
RAM 4x4, 312
R-S (Reset- Set) *f-f*, 182
R-S-T flip-flop, 188
T flip-flop, 186

A

Αδιάφοροι όροι, 94
Αθροιστής δύο τετρανήφιων αριθμών, 121
Αθροιστής με πολυπλέκτη, 268
Αθροιστής των 4-bit, 319
Άλγεβρα Boole, 73
Αμφίδρομος απαριθμητής, 219
Αναγνώριση μορφών, 231
Ανάλυση κυκλωμάτων, 112
Αναστροφέας οικογένειας CMOS, 159
Απαριθμητές ως προς μέτρο, 202
Απαριθμητής BCD 2421, 201
Απαριθμητής Johnson, 205
Απαριθμητής δακτυλίου, 205
Αποκωδικοποιητές, 258
Αποκωδικοποιητής 2-σε-4, 260
Αποκωδικοποιητής 3-σε-8, 261
Απομονωτές, 270
Αριθμοί απλής ακριβείας, 63
Αριθμοί διπλής ακριβείας, 63
Αριθμοί κινητής υποδιαστολής, 62
Ασταθής πολυδονητής, 166
Αφαίρεση δυαδικών αριθμών, 31

Γ

Γεννήτρια ψευδοτυχαίων δυαδικών αριθμών, 207

Δ

Δεκαδικό σύστημα, 18
Δεκαεξαδικό σύστημα αρίθμησης, 46
Διάγραμμα Venn, 86
Διάγραμμα καταστάσεων, 208
Διαίρεση δυαδικών αριθμών, 34
Διαίρεση με ανάκτηση, 35
Διαίρεση χωρίς ανάκτηση, 35
Δικτυακές λειτουργίες, 326
Δισταθής πολυδονητής *f-f*, 172
Δομή Harvard, 328
Δομή Von Neumann, 327
Δυαδικοί απαριθμητές, 194
Δυαδικός ημιαθροιστής, 114
Δυαδικός κώδικας BCD, 47
Δυαδικός πολλαπλασιαστής 2x2, 125
Δυδεκαδικός κώδικας, 48
Δυπενταδικός κώδικας, 48

E

Ελαχιστοβάθμιος όρος (EΛΒΟ), 82

Θ

Θεωρήματα De Morgan, 75

K

Καθυστέρηση διάδοσης, 265
Κανονικοποίηση, 85
Καταχωρητές ολίσθησης, 190
Καταχωρητές Ολίσθησης, 304
Καταχωρητής 4 δυαδικών ψηφίων, 302
Κυκλικός Πλεονάζων Κώδικας Ελέγχου, 52
Κώδικας 2 -από -5 (2-out of-5), 49
Κώδικας Gray, 49
Κώδικας υπερβολής κατά τρία (Excess three, XS3), 48
Κωδικοποιητής δεκαδικού με διακόπτες, 164
Κυκλική μεταφορά κρατουμένου, 38
Κύκλωμα αφαίρεσης, 124
Κύκλωμα κωδικοποίησης με διακριτά στοιχεία, 163
Κύκλωμα πύλης NAND οικογένειας TTL, 158
Κυκλώματα Προσαρμογής, 249
Κώδικας 5311, 47
Κώδικας 5421, 47
Κώδικας Aiken, 47
Κώδικας Hamming, 53

Λ

Λογική Μονάδα, 323

M

Μη σειριακός απαριθμητής, 216
Μνήμη ROM, 316
Μεγιστοβάθμιος όρος (MEBO), 83
Μέθοδος Quine-Mc Cluskey, 92
Μετατροπείς D/A για την περιστροφή αξόνων, 251
Μετατροπείς αναλογικών σημάτων σε ψηφιακά, 252
Μετατροπείς ψηφιακών σημάτων σε αναλογικά, 249
Μετατροπή από IEEE-754 σε δεκαδικό αριθμό, 64
Μετατροπή αριθμού από το δυαδικό στο δεκαδικό, 22
Μετατροπή δεκαδικού αριθμού σε IEEE-754, 64
Μετατροπή δεκαδικού κλασματικού αριθμού, 21
Μετατροπή της πληροφορίας γωνίας άξονα σε ψηφιακή, 256
Μετρητής αυτόματης εκκίνησης, 239
Μετρητής δύο δυαδικών ψηφίων, 237
Μηχανή Καταστάσεων Mealy, 226
Μηχανή Καταστάσεων Moore, 222
Μνήμη PROM, 282
Μνήμη RAM, 307
MODEM, 271
Μονοσταθής πολυδονητής, 169
Μονοσταθής πολυδονητής με πύλες, 171
Μοντέλο μετατροπής και απεικόνισης ryian, 19

Ο

Οκταδικό σύστημα αρίθμησης, 45
Ολισθητής με R-S *flip-flop*, 191

Π

Παράλληλος πλήρης αθροιστής, 119
Παράσταση διακοπών, 77
Παράσταση θετικών και αρνητικών δυαδικών αριθμών με συμπλήρωμα ως προς 1, 26
Παράσταση θετικών και αρνητικών δυαδικών αριθμών με συμπλήρωμα ως προς 2, 27
Πλήρης αθροιστής, 116
Πλήρης αθροιστής με PROM, 284
Πλήρης αθροιστής με διπλό πολυπλέκτη, 269
Πολλαπλασιασμός αριθμών κινητής υποδιαστολής, 66
Πολλαπλασιασμός δυαδικών αριθμών, 31
Πολλαπλασιασμός θετικών δυαδικών αριθμών, 32
Πολλαπλασιασμός προσημασμένων δυαδικών (αρνητικός πολλαπλασιαστέος), 33
Πολλαπλασιασμός προσημασμένων δυαδικών (αρνητικός πολλαπλασιαστής), 34
Πολλαπλασιασμός προσημασμένων δυαδικών αριθμών, 33
Πολυδονητής δύο καταστάσεων με πύλες, 181
Πολυπλέκτης, 265
Πολυπλέκτης 8 σε 1, 267
Προγραμματιζόμενες λογικές διατάξεις, 278
Προγραμματιζόμενες λογικές διατάξεις(PAL), 291
Προγραμματιζόμενες λογικές μονάδες, 288
Προσημασμένη παράσταση θετικών και αρνητικών δυαδικών αριθμών, 24
Προσημασμένη Υπερχείλιση, 40
Πρόσθεση αριθμών κινητής υποδιαστολής, 65
Πρόσθεση αριθμών με συμπλήρωμα ως προς δύο, 38
Πρόσθεση αριθμών με συμπλήρωμα ως προς ένα, 36
Πρόσθεση δυαδικών αριθμών, 30
Πρόσθεση με τη χρήση αποκωδικοποιητών, 262
Πρότυπο IEEE-754, 61

Πύλες AOI, 110

Πύλες OAI, 110

Πύλη AND με διόδους, 147

Πύλη AND με διπολικά τρανζίστορ, 149

Πύλη **NAND**, 106

Πύλη NAND με διόδους και τρανζίστορ, 153

Πύλη NAND με τρανζίστορ, 151, 152

Πύλη NAND οικογένειας CMOS, 160

Πύλη **NOR**, 106

Πύλη NOR με τρανζίστορ, 151

Πύλη OR / NOR της οικογένειας ECL, 161

Πύλη OR με διόδους, 146

Πύλη OR με διπολικά τρανζίστορ, 149

Πύλη **XNOR**, 110

Πύλη XOR με διακριτά στοιχεία, 154

Πύλη αποκλειστικής διάζευξης XOR, 108

Πύλη λογικής άρνησης **NOT**, 104

Πύλη λογικής πρόσθεσης **OR**, 104

Πύλη λογικού γινομένου **AND**, 104

Σ

Σειριακός δυαδικός συγκριτής, 127

Σειριακός πλήρης αθροιστής, 119

Σειριακός πλήρης αφαιρέτης, 123

Σύγχρονος δυαδικός απαριθμητής, 196

Συμπληρώματα αριθμών, 23

Συνδυαστικά κυκλώματα, 208

Σχεδίαση αποκωδικοποιητή 4 σε 10 βασισμένη σε PROM 16x10, 287

Υ

Υβριδικά CMOS memristor λογικής, 162

X

Χάρτης Karnaugh, 87

Ω

Ωρολογιακό J-K flip-flop, 184